

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tetsu HASEGAWA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: A SELF-TEST EXECUTABLE INTEGRATED CIRCUIT, A DESIGN APPARATUS THEREOF, AND  
A SCAN CHAIN DESIGN APPARATUS

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-085923	March 26, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

S915

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 2 6 日  
Date of Application:

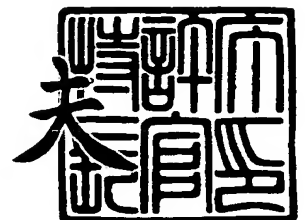
出 願 番 号            特 願 2 0 0 3 - 0 8 5 9 2 3  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 8 5 9 2 3 ]

出      願      人            株 式 会 社 東 芝  
Applicant(s):

2 0 0 3 年   7 月 1 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 ASB026119

【提出日】 平成15年 3月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/66  
G01R 31/26

【発明の名称】 半導体集積回路

【請求項の数】 11

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
                                マイクロエレクトロニクスセンター内

    【氏名】 長谷川 哲

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
                                マイクロエレクトロニクスセンター内

    【氏名】 安藏 顕一

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100083806

    【弁理士】

    【氏名又は名称】 三好 秀和

    【電話番号】 03-3504-3075

【選任した代理人】

    【識別番号】 100068342

    【弁理士】

    【氏名又は名称】 三好 保男

## 【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

## 【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

## 【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

## 【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

## 【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

## 【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

## 【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路

【特許請求の範囲】

【請求項 1】 論理回路内の記憶素子により構成された複数のシフトレジスタと、

前記シフトレジスタの入力段に接続されたテストパターン発生器と、

前記シフトレジスタの出力段に接続された、前記シフトレジスタを個別に選択するテスト結果圧縮部

とを有することを特徴とする半導体集積回路。

【請求項 2】 前記テスト結果圧縮部は、前記シフトレジスタのそれぞれの出力に個別に接続された複数のデータ圧縮器を有することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 3】 前記テスト結果圧縮部は、  
前記シフトレジスタの出力に接続された、前記シフトレジスタを個別に選択する第 1 のセレクタと、

前記第 1 のセレクタに接続されたデータ圧縮器

とを有することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 4】 前記テスト結果圧縮部は、  
前記シフトレジスタから送信されるテスト結果を圧縮するデータ圧縮器と、  
前記シフトレジスタと前記データ圧縮器の間に接続され、総ての前記シフトレジスタと前記データ圧縮器とを直接又は空間的圧縮して接続する自己試験モードと、前記シフトレジスタを個別に前記データ圧縮器に接続する故障解析モードとを切り換えるモード切換回路

とを有することを特徴とする請求項 1 記載の半導体集積回路。

【請求項 5】 前記シフトレジスタのそれぞれは複数のブロックを有し、  
前記ブロックのそれぞれの最終段の出力に個別に接続された複数のデータ圧縮器を更に有することを特徴とする請求項 1 乃至 4 何れか 1 項記載の半導体集積回路。

【請求項 6】 前記シフトレジスタのそれぞれは複数のブロックを有し、

前記ブロックの最終段の出力に接続された、前記ブロックを個別に選択する第 2 のセレクトと、

前記第 2 のセレクトに接続されたデータ圧縮器

とを更に有することを特徴とする請求項 1 乃至 4 何れか 1 項記載の半導体集積回路。

【請求項 7】 前記第 2 のセレクトと前記データ圧縮器の間に接続され、総ての前記第 2 のセレクトと前記データ圧縮器とを直接又は空間的圧縮して接続する自己試験モードと、前記第 2 のセレクトを個別に前記データ圧縮器に接続する故障解析モードとを切り換えるモード切換回路を更に有することを特徴とする請求項 6 記載の半導体集積回路。

【請求項 8】 前記記憶素子は、通常動作モードとシフト動作モードの他に、前記記憶素子が有する値を保持する第 1 の解析モードと、前記記憶素子が有する値の逆値を取り込む第 2 の解析モードとを持つことを特徴とする請求項 1 乃至 4 何れか 1 項記載の半導体集積回路。

【請求項 9】 前記記憶素子を個別に選択し、選択した前記記憶素子を前記第 1 或いは第 2 の解析モードに設定する第 1 のシフトカウンタと、

前記第 1 の解析モードと前記第 2 の解析モードとを切り換えるトグル F/F 回路

とを更に有することを特徴とする請求項 8 記載の半導体集積回路。

【請求項 10】 前記第 1 のシフトカウンタは、自己試験を実行するための第 2 のシフトカウンタと共有されていることを特徴とする請求項 9 記載の半導体集積回路。

【請求項 11】 故障の影響が伝搬する 2 以上の前記記憶素子は、異なる前記シフトレジスタに属することを特徴とする請求項 8 記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体集積回路に関わり、特に、組み込み自己テストを実行する半導体集積回路に関する。

## 【0002】

## 【従来の技術】

大規模かつ複雑な半導体集積回路のテストの困難性を解決するテスト容易化手法のひとつとして、ロジックBIST (Built-In Self Test: 組み込み自己テスト) が用いられている。ロジックBISTは、被テストロジックへ与えるテストパタンの生成と、被テストロジックからのテスト結果の解析を、被テストロジックの周辺に構成された論理回路により、半導体集積回路内部で全て自動的に行うものである(例えば、非特許文献1参照。)

## 【0003】

## 【非特許文献1】

パラグ K. ララ “デジタル・サーキット・テストイング・アンド・テストビリティ” アカデミック・プレス (Parag K. Lala “Digital Circuit Testing and Testability” Academic press.

## 【0004】

## 【発明が解決しようとする課題】

ロジックBISTにより、被テスト半導体集積回路内における故障の有無の判定を行うことができる。さらに、ロジックBISTにより、故障が存在する半導体集積回路に対して、故障解析を行う場合がある。しかしながら、ロジックBISTでの故障解析には大きな問題がある。ロジックBISTは半導体集積回路内部でテストの結果を圧縮するため、そのままでは故障解析に必要な情報が得られない。故障解析には、故障を検出するテストパターン(フェイルパターン)と、故障の影響を取り込むスキャンフリップフロップ回路(フェイルスキャンF/F回路)の情報が必要であるので、通常のロジックBISTとは異なる動作でこれらの情報を得る必要がある。

## 【0005】

例えば、テストパターン毎にロジックBISTの動作を分割することにより、フェイルパターンを特定する方法がある。この方法ではいくつかの問題がある。ひとつは、フェイルパターンを得るためにテストの実行結果を解析しなければならないことである。この解析時間に加え、通常のロジックBISTの動作モードとは異



なるスキャンテストモードに切り換えて複数回テストを行う必要があるために、テスト時間が長くなってしまいます。また、スキャンテストパターンを別途用意する必要と、スキャン設計を作りこむ必要があるため設計時間が伸びてしまう。さらには、スキャンテストモードに切り換えてしまうために、ロジック BIST でないと検出できない故障に対しては故障解析が行えない問題（不良の再現性）もある。この不良の再現性の問題は、ロジック BIST によって実動作速度テストを行っている場合は重大な問題となる。

#### 【0006】

本発明はこのような従来技術の問題点を解決するために成されたものであり、その目的は、故障箇所を容易に特定することができる半導体集積回路を提供することである。

#### 【0007】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明の特徴は、論理回路内の記憶素子により構成された複数のシフトレジスタと、シフトレジスタの入力段に接続されたテストパターン発生器と、シフトレジスタの出力段に接続された、シフトレジスタを個別に選択するテスト結果圧縮部とを有する半導体集積回路であることを要旨とする。

#### 【0008】

##### 【発明の実施の形態】

以下図面を参照して、本発明の実施の形態を説明する。図面の記載において同一あるいは類似の部分には同一あるいは類似な符号を付している。

#### 【0009】

##### （第1の実施の形態）

図1に示すように、本発明の第1の実施の形態に係る半導体集積回路21は、論理回路内の記憶素子により構成された複数のシフトレジスタ（スキャンチェーン）52a、52b、52c、・・・と、スキャンチェーン52a、52b、52c、・・・の入力に接続されたテストパターン発生器29と、スキャンチェーン52a、52b、52c、・・・の出力に接続されたテスト結果圧縮部110aと、テストパターン発生器29及びテスト結果圧縮部110aに接続されたBIST

T制御回路22aと、BIST制御回路22aに接続されたシフトカウンタ23と、BIST制御回路22aに接続されたパターンカウンタ24とを有する。BIST制御回路22a及びテスト結果圧縮部110aは、半導体集積回路21の外部に配置されたテスト15にそれぞれ接続されている。テスト結果圧縮部110aは、スキャンチェーン52a、52b、52c、・・・を個別に選択する。スキャンチェーン52a、52b、52c、・・・は、被テストロジック211を構成する。

#### 【0010】

スキャンチェーン52a、52b、52c、・・・のそれぞれは、直列に接続された複数のスキャンフリップフロップ回路（スキャンF/F回路）を有する。言い換えれば、各スキャンチェーン52a、52b、52c、・・・は、シフトレジスタ状に接続されたスキャンF/F回路を有する。スキャンF/F回路は、論理回路内の記憶素子の一例であり、スキャンチェーン52a、52b、52c、・・・は、シフトレジスタの一例である。

#### 【0011】

第1の実施の形態において、テスト結果圧縮部110aは、スキャンチェーン52a、52b、52c、・・・のそれぞれの出力に個別に接続された複数のデータ圧縮器28a、28b、28c、・・・を備える。即ち、各スキャンチェーン52a、52b、52c、・・・の出力にそれぞれデータ圧縮器28a、28b、28c、・・・が接続されている。

#### 【0012】

テスト15は、BIST制御回路22aに対してテストモード設定用の外部入力信号In<sub>1</sub>を送信する。BIST制御回路22aは、外部入力信号In<sub>1</sub>を受信して、被テストロジック211を含む半導体集積回路21を自己試験モードに設定する。自己試験モードにおいて特にスキャンチェーンを直列に動作させる間、スキャンチェーン52a～52c内のスキャンF/F回路は、通常動作時とは異なり、テストパターン発生器（29）とデータ圧縮器（110a）と接続される。ロジックBIST回路を初期化した後、ロジックBIST用のクロック（BISTクロック）を定められた数入力することにより、自己テストが実行される。

自己試験モード信号やBISTクロックの供給は、外部入力信号  $I n_1$  から直接行われたり、BIST制御回路 22a を介して行われたりする。自己テストの実行中、スキャンチェーン 52a、52b、52c、・・・への直列入力はテストパターン発生器 29 により自動的に生成される。即ち、テストパターン発生器 29 は、スキャンテストパターンを生成し、スキャンチェーン 52a、52b、52c、・・・へ送信する。スキャンチェーン 52a、52b、52c、・・・は、スキャンテストパターンを受信し、テスト対象の論理回路から並列にテスト結果を取り込み、そのテスト結果をデータ圧縮器 28a、28b、28c、・・・へそれぞれ送信する。データ圧縮器 28a、28b、28c、・・・は、入力データ（テスト結果）を特定のビット長のデータ（シグネチャ）に圧縮し、被テストロジック 18 のテスト解析結果  $O t_1$  をテスト 15 へそれぞれ送信する。テスト解析結果  $O t_1$  により、被テストロジック 211 についての良否が判定される。なお、シフトカウンタ 23 は、スキャンチェーンの直列動作回数を管理する。パターンカウンタ 24 は、スキャンテストパターンを個別に選択する。

#### 【0013】

ロジックBISTでは、図1のテストパターン発生器 29 として乱数的なパターン発生器（擬似乱数発生器）を用いる。なぜなら、テスト対象の論理回路の動作が一般的にランダムだからである。第1の実施の形態においては、乱数的なパターン発生器の一例として、図2（a）に示すようなLinear Feedback Shift Register（LFSR）を用いる。

#### 【0014】

図2（a）は、5ビットのLFSRの回路構成の一例を示す。LFSRは、直列に接続された5つのレジスタ 37a～37e と、レジスタ 37a～37e のうち特定のレジスタ（フィードバックポイント） 37a、37c の出力端子及び最終段のレジスタ 37e の出力端子に接続された排他的論理和回路 47 とを有する。レジスタ 37a～37e のクロック端子にはクロック信号 CLK が供給され、レジスタ 37a～37e はクロック信号 CLK に同期してシフト動作を行う。排他的論理和回路 47 は、特定のレジスタ（フィードバックポイント） 37a、37c の出力及び最終段のレジスタ 37e の出力を演算し、その演算結果を先頭レ

ジスタ 37a の入力端子へ供給する。

#### 【0015】

LFSR を図 1 のテストパターン発生器 29 として使用する為には、初期化すること、即ち、全ビットを 0 以外の適当な値に設定することが必要である。初期化動作には、半導体集積回路 21 内部に保持している初期値に設定する場合と、半導体集積回路 21 外部から初期値を設定する場合とがある。初期化された LFSR において、レジスタ 37a ~ 37e にクロック信号 CLK を供給することにより、レジスタ 37a ~ 37e の値は、排他的論理和回路 47 による演算を行いながらシフトされていく。その結果、レジスタ 37a ~ 37e の値はランダムに変化する。このランダムに変化するレジスタ 37a ~ 37e の値は、スキャンテストパターンとして、被テストロジック 211 に供給される。

#### 【0016】

一方、図 1 のスキャンチェーン 52a、52b、52c、... によるテスト結果は、データ圧縮器 28a、28b、28c、... によりそれぞれ解析される。第 1 の実施の形態においては、データ圧縮器 28a、28b、28c、... の一例として、図 2 (b) に示すような回路をそれぞれ用いる。

#### 【0017】

図 2 (b) に示すように、データ圧縮器 28a は、5 つのレジスタ 313a ~ 313e と、1 つの排他的論理和回路 213a とを有する。5 つのレジスタ 313a ~ 313e は直列に接続されている。レジスタ 313a、313c 及び 313e の出力は、排他的論理和回路 213a の入力に接続されている。排他的論理和回路 213a の入力には、さらに被テストロジック 211 からのテスト結果のデータが供給される。排他的論理和回路 213a の出力は、先頭のレジスタ 313a の入力に接続されている。

#### 【0018】

レジスタ 313a ~ 313e のクロック端子にはクロック信号 CLK が供給され、レジスタ 313a ~ 313e はクロック信号 CLK に同期してシフト動作を行う。レジスタ 313b ~ 313e のそれぞれの入力には、レジスタ 313a ~ 313d の値が供給される。先頭のレジスタ 313a の入力には、排他的論理和

回路 213 a の演算結果が供給される。排他的論理和回路 213 a には、被テストブロック 211 からのテスト結果のデータが入力される。

#### 【0019】

レジスタ 313 a ~ 313 d にクロック信号 CLK を供給すると、データ圧縮器は、被テストブロック 211 からテスト結果を取り込みながらデータを圧縮していく。最終的にレジスタ 313 a ~ 313 e に残ったデータが圧縮結果である。圧縮結果をあらかじめ計算により求められている期待値（シグネチャ）と比較することで、故障の判定を行う。

#### 【0020】

図 1 に示したロジック BIST によるテストにおいては、スキャンテストパターンを半導体集積回路 21 外部に配置されたテスト 15 のメモリ上に用意する必要がなくなり、テスト 15 のコストが削減される。また、総ての動作を BIST クロックに同期して半導体集積回路 1 の内部で行う。したがって、BIST クロックを高速で動作させることにより、テスト 15 によるテスト動作周波数よりも速い動作速度でのテストが可能になる。これにより、実動作での製造テストを行うことができる。また、ロジック BIST によるテストは、少数のテスト用外部入出力信号  $I_{n1}$  しか必要としないので、複数のブロックを並列的にテストすることも可能となる。これにより、全体のテスト時間が大幅に削減できる。更に、ロジック BIST はテスト 15 によるスキャン入出力数の制約を受けないため、一般的なスキャン設計よりも多数本のスキャンチェーン 52 a、52 b、52 c、  
・・・を構築することができる。スキャンチェーン 52 a、52 b、52 c、  
・・・の本数を増やすことで、一本当りのスキャンチェーン長が短くなるので、テスト時間を削減することが可能になる。

#### 【0021】

以上説明したように、各スキャンチェーン 52 a、52 b、52 c、・・・の出力にそれぞれデータ圧縮器 28 a、28 b、28 c、・・・が接続されているため、スキャンチェーン 52 a、52 b、52 c、・・・毎に期待値シグネチャをもつことができる。したがって、スキャンチェーン 52 a、52 b、52 c、  
・・・毎に期待値シグネチャの比較を行うだけで、故障の影響が伝搬したスキャ

ンチェーンを特定することができる。よって、故障が伝搬するスキャンチェーンを容易に特定することが可能である。期待値シグネチャの比較は、半導体集積回路 21 内部に用意した期待値比較回路で行っても良いし、テスト 15 内で行っても良い。いずれにしても、テスト 15 のメモリは、スキャンチェーン 52a、52b、52c、・・・毎の期待値シグネチャを持つだけでよい。即ち、テスト 15 のメモリには期待値シグネチャだけが必要とされる為、テスト 15 のメモリに関するコストが削減できる。故障解析に利用するのは自己試験時のパターンであるため、不良の再現性の問題が起こらない。また、実速度テスト(at-speedテスト)にも対応ができる。図 8 を参照して後述する既存の回路を共有できるため、エリアペナルティも少ない。この回路構成は、自己試験と故障解析に共通な構造としても利用でき、又は故障解析専用の回路としても利用可能である。このように、ロジック BIST を用いて半導体集積回路のテスト及び故障解析を行う際に、故障の影響が伝搬するスキャン F/F 回路の位置情報を半導体集積回路から出力することにより、容易に故障解析作業を行うことができる。

#### 【0022】

なお、図 1 ではテスト 15 側で期待値シグネチャを比較する例を示した。この場合、各データ圧縮器 28a、28b、28c、・・・は、テスト解析結果 Ot<sub>1</sub> として、シグネチャをそれぞれ出力する。テスト 15 は、メモリにロードされている期待値シグネチャと比較を行い良否を記録する。

#### 【0023】

図 1 に示した半導体集積回路 21 において故障の影響が伝搬したスキャンチェーン（フェイルスキャンチェーン）を特定する手順を、図 3 を参照して示す。先ず、S100 段階において、図 1 を参照して説明したロジック BIST を実行する。ロジック BIST の結果としてフェイルログ 250 が得られる。そして S110 段階において、フェイルログ 250 を解析する。解析結果としてフェイルパターン 252 及びフェイルスキャンチェーン 254 の情報が得られる。

#### 【0024】

(第 1 の実施の形態の第 1 の変形例)

図 4 に示すように、本発明の第 1 の実施の形態の第 1 の変形例に係る半導体集

積回路 31 は、複数のスキャンチェーン 52a、52b、52c、・・・と、スキャンチェーン 52a、52b、52c、・・・の入力に接続されたテストパターン発生器 29 と、スキャンチェーン 52a、52b、52c、・・・の出力に接続されたテスト結果圧縮部 110b と、テストパターン発生器 29 及びテスト結果圧縮部 110b に接続された BIST 制御回路 22b と、BIST 制御回路 22b に接続されたシフトカウンタ 23 と、BIST 制御回路 22b に接続されたパターンカウンタ 24 とを有する。BIST 制御回路 22b 及びテスト結果圧縮部 110b は、半導体集積回路 31 の外部に配置されたテスト 15 にそれぞれ接続されている。テスト結果圧縮部 110b は、スキャンチェーン 52a、52b、52c、・・・を個別に選択する。スキャンチェーン 52a、52b、52c、・・・は、被テストロジック 211 を構成する。

#### 【0025】

第 1 の実施の形態の第 1 の変形例において、テスト結果圧縮部 110b は、スキャンチェーン 52a、52b、52c の出力に接続されたセクタ 314a、・・・と、セクタ 314a、・・・にそれぞれ接続されたデータ圧縮器 38a、・・・とを有する。セクタ 314a、・・・は、スキャンチェーン 52a、52b、52c、・・・を個別に選択する。複数のスキャンチェーン 52a、52b、52c と 1 つのデータ圧縮器 38a との間にセクタ 314a、・・・が接続されている。複数のスキャンチェーン 52a、52b、52c は 1 つのデータ圧縮器 38a を兼用している。BIST 制御回路 22b は、セクタ 314a、・・・に接続されている。図 4 においては、3 つのスキャンチェーン 52a、52b、52c が 1 つのデータ圧縮器 38a を兼用している例を示す。

#### 【0026】

故障解析の手順を図 4 に示した半導体集積回路 31 を例として説明する。

#### 【0027】

最初に、テストパターン発生器 29 をフェイルパタンの初期状態にセットする。BIST 制御回路 22b は各セクタ 314a、・・・に対して制御信号を送信する。各セクタ 314a、・・・は、1 番目のスキャンチェーン 52a、・・・を選択してデータ圧縮器 38a、・・・と接続する。総てのスキャンチェーン

52a、52b、52c、・・・ヘフェイルパターンをロードし、キャプチャを終える。そして、データ圧縮器38a、・・・は、各セクタ314a、・・・の1番目のスキランチェーン52a、・・・のキャプチャデータに対してシグネチャを作成し、シグネチャをテスト解析結果Ot<sub>1</sub>としてテスト15へ送信する。テスト15は、テスト15が持つ期待値シグネチャと比較して良否を記録する。

#### 【0028】

次に、BIST制御回路22bは、2番目のスキランチェーン52b、・・・とデータ圧縮器38a、・・・とを接続するようにセクタ314a、・・・を制御する。テストパターン発生器29は、先と同様にフェイルパタンの初期状態にセットされ、総てのスキランチェーン52a、52b、52c、・・・ヘフェイルパターンをロードし、キャプチャを行う。そして、データ圧縮器38a、・・・は、2番目のスキランチェーン52b、・・・のキャプチャデータに対してシグネチャを作成する。作成されたシグネチャは、テスト解析結果Ot<sub>1</sub>としてテスト15に出力され、テスト15において期待値シグネチャと比較される。各セクタ314a、・・・の3番目のスキランチェーンに対しても同様に行う。

#### 【0029】

このように、逐次的な処理をおこなうことで、複数のスキランチェーン52a、52b、52c、・・・が1つデータ圧縮器38a、・・・を兼用しても、容易に故障が伝搬したスキランチェーンを特定することが出来る。即ち、データ圧縮器38a、・・・を兼用する場合でも、期待値シグネチャはスキランチェーン52a、52b、52c、・・・毎に持つことになる。総てのスキランチェーン52a、52b、52c、・・・に個別にデータ圧縮器38a、・・・が接続される図1に示した半導体集積回路21に比べて、エリアペナルティを減らすことができる。なお、図1に示した半導体集積回路21に比べて、不良解析時間は兼用本数倍（3倍）である。実行時間とエリアペナルティはトレードオフの関係にある。

#### 【0030】

図4に示した半導体集積回路におけるスキランチェーン特定手順の一例を図5を参照して説明する。先ず、S200段階において、初期化（i=1）を行うこ



とにより、セクタ 314 a、・・・毎の 1 番目のスキランチェーン 52 a、・・・を選択する。なお、選択されたスキランチェーン 52 a、・・・の数は、セクタ 314 a、・・・の数とデータ圧縮器 38 a の組の数と等しい。次に、S210 段階において、ロジック BIST を実行する。ロジック BIST の結果としてフェイルログ 251 が得られる。なお、選択された 1 番目のスキランチェーン 52 a、・・・のテスト結果のみを圧縮し、期待値シグネチャと比較する。

#### 【0031】

次に、S220 段階において、i が 1 つのデータ圧縮器を兼用するスキランチェーンの数（セレクト数）より小さいか否かを判断する。i がセレクト数よりも小さい場合（S220 段階にて Yes）、S230 段階において、i に 1 加えたものを新たに i と定義する。そして、S210 段階に戻り、2 番目のスキランチェーン 52 b、・・・について、S210 及び S220 段階を実施する。以下同様にして、1 つのデータ圧縮器を兼用する総てのスキランチェーン 52 a～52 c について、S210 及び S220 段階を繰り返し実施する。そして、i がセレクト数と同じである場合（S220 段階にて No）、S240 段階において、最終的なフェイルログ 251 を解析する。解析結果としてフェイルスキランチェーン 255 の情報が得られる。このようにして、フェイルスキランチェーンを特定することが出来る。

#### 【0032】

（第 1 の実施の形態の第 2 の変形例）

図 6 に示すように、本発明の第 1 の実施の形態の第 2 の変形例に係る半導体集積回路 41 は、複数のスキランチェーン 52 a、52 b、52 c、・・・と、スキランチェーン 52 a、52 b、52 c、・・・の入力に接続されたテストパターン発生器 29 と、スキランチェーン 52 a、52 b、52 c、・・・の出力に接続されたテスト結果圧縮部 110 c と、テストパターン発生器 29 及びテスト結果圧縮部 110 c に接続された BIST 制御回路 22 c と、BIST 制御回路 22 c に接続されたシフトカウンタ 23 と、BIST 制御回路 22 c に接続されたパターンカウンタ 24 とを有する。BIST 制御回路 22 c 及びテスト結果圧縮部 110 c は、半導体集積回路 41 の外部に配置されたテスト 15 にそれぞれ接続さ

れている。テスト結果圧縮部 110c は、スキャンチェーン 52a、52b、52c、・・・を個別に選択する。スキャンチェーン 52a、52b、52c、・・・は、被テストロジック 211 を構成する。

#### 【0033】

第1の実施の形態の第2の変形例において、テスト結果圧縮部 110c は、スキャンチェーン 52a、52b、52c、・・・の出力に接続されたモード切換回路 414 と、モード切換回路 414 に接続されたデータ圧縮器 48 とを有する。スキャンチェーン 52a、52b、52c、・・・とデータ圧縮器 48 との間にはモード切換回路 414 が接続されている。モード切換回路 414 は、スキャンチェーン 52a、52b、52c、・・・とデータ圧縮器 48 と間の接続関係を切り替えることが出来る。具体的には、モード切換回路 414 は、スキャンチェーン 52a、52b、52c、・・・を個別に選択し、選択されたスキャンチェーン 52a、52b、52c、・・・とデータ圧縮器 48 とを接続することが出来る。また、モード切換回路 414 は、総てのスキャンチェーン 52a、52b、52c、・・・を同時に選択し、総てのスキャンチェーン 52a、52b、52c、・・・とデータ圧縮器 48 とを接続することも出来る。即ち、テスト結果圧縮部 110c は、データ圧縮器 48 が総てのスキャンチェーン 52a、52b、52c、・・・によって共有された構成を有する。

#### 【0034】

通常 of 自己試験時には、モード切換回路 414 はスキャンチェーン 52a、52b、52c、・・・とデータ圧縮器 48 をそのまま、もしくは空間的な圧縮（スペースコンパクト）をして接続する。自己試験の結果、不良があることが判明した場合、故障解析モードによって解析を行う。検査対象の半導体集積回路 41 内の BIST 制御回路 22c は、テスト 15 から制御信号 In3 を受信し、通常の自己試験から故障解析モードへ切り換える。故障解析モードに切り換わると、BIST 制御回路 22c はモード切換回路 414 へ指示信号を送信する。指示信号を受信したモード切換回路 414 は、スキャンチェーン 52a、52b、52c、・・・とデータ圧縮器 48 とを BIST 制御回路 22c の指示に従って選択し接続する。その結果、モード切換回路 414 及びデータ圧縮器 48 は、図 4 に

示したセクタ 314 a、・・・及びデータ圧縮器 38 a、・・・と同じ構成を有する。したがって、図 5 に示した不良解析手順と同様にして、フェイルスキャンチェーンを特定することが出来る。

#### 【0035】

図 7 に示すように、モード切換回路 414 は、スキャンチェーン 52 a～52 e に接続されたセクタ 240 と、排他的論理和回路 242 と、論理積回路 246 b～246 e と、スキャンチェーン 52 a 及び排他的論理和回路 242 に接続されたセクタ 244 とを有する。スキャンチェーン 52 a～52 e の出力は、セクタ 240 の入力に接続されている。スキャンチェーン 52 b～52 e の出力は、論理積回路 246 b～246 e の入力にそれぞれ接続されている。セクタ 240 の出力は、排他的論理和回路 242 の入力に接続されている。排他的論理和回路 242 の出力及びスキャンチェーン 52 a の出力は、セクタ 244 の入力に接続されている。セクタ 244 は、モード制御信号 C t<sub>1</sub> に従って動作が制御される。モード制御信号 C t<sub>1</sub> は、論理積回路 246 b～246 e の入力にも送信される。

#### 【0036】

一方、データ圧縮器 48 は、5つのレジスタ 232 a～232 e と、5つの排他的論理和回路 230 a～230 e とを有する。5つのレジスタ 232 a～232 e と、5つの排他的論理和回路 230 a～230 e とは、交互に直列に接続されている。具体的には、排他的論理和回路 230 a の出力はレジスタ 232 a の入力に接続され、レジスタ 232 a の出力は、排他的論理和回路 230 b の一方の入力に接続されている。以下同様にして、排他的論理和回路 230 b～230 e と、レジスタ 232 b～232 e とは、交互に直列に接続されている。最終段のレジスタ 232 e の出力は、先頭の排他的論理和回路 230 a の一方の入力に接続されている。排他的論理和回路 230 a の他方の入力には、モード切換回路 414 内のセクタ 244 の出力が接続されている。排他的論理和回路 230 b～230 e の他方の入力には、モード切換回路 414 内の論理積回路 246 b～246 e の出力が接続されている。最終段のレジスタ 232 e の出力は、特定の排他的論理和回路 230 c の入力にも接続されている。レジスタ 232 a～23

2 d の出力は、モード切換回路 4 1 4 内の排他的論理和回路 2 4 2 の入力に接続されている。

#### 【0037】

セクタ 2 4 0 は、スキャンチェーン選択信号  $S1_1$  に従ってスキャンチェーン 5 2 a ~ 5 2 e を選択する。セクタ 2 4 0 は、選択したスキャンチェーン 5 2 a ~ 5 2 e と排他的論理和回路 2 4 2 の入力とを接続する。セクタ 2 4 4 は、モード制御信号  $Ct_1$  に従って、排他的論理和回路 2 4 2 の出力或いはスキャンチェーン 5 2 a の出力を選択する。

#### 【0038】

モード制御信号  $Ct_1$  が 1 の時、セクタ 2 4 4 は、スキャンチェーン 5 2 a の出力と排他的論理和回路 2 3 0 a の入力とを接続する。排他的論理和回路 2 3 0 a ~ 2 3 0 e の入力、スキャンチェーン 5 2 a ~ 5 2 e の出力に接続される。従って、データ圧縮器 4 8 は、スキャンチェーン 5 2 a ~ 5 2 e から平行列にテスト結果を取り込みながら、テスト結果のデータを圧縮していく。最終的にレジスタ 2 3 2 a ~ 2 3 2 e に残った出力データ 2 3 4 a ~ 2 3 4 e が圧縮結果である。このように、自己試験実行時においては、モード制御信号  $Ct_1$  を 1 に設定される。この自己試験モードにおいて、スキャンチェーン選択信号  $S1_1$  は回路動作に影響を与えない。

#### 【0039】

モード制御信号  $Ct_1$  が 0 の時、セクタ 2 4 4 は、排他的論理和回路 2 4 2 の出力と排他的論理和回路 2 3 0 a の入力とを接続する。排他的論理和回路 2 3 0 a ~ 2 3 0 e の入力、スキャンチェーン 5 2 a ~ 5 2 e の出力に接続されない。レジスタ 2 3 2 a ~ 2 3 2 d の出力の排他的論理和の演算結果が排他的論理和回路 2 3 0 a に入力され、同時に、レジスタ 2 3 2 e の出力も排他的論理和回路 2 3 0 a に入力される。即ち、データ圧縮器 4 8 は、図 2 (a) に示した LFSR と同様な構成を有する。したがって、排他的論理和回路 2 3 0 a は、セクタ 2 4 0 によって選択されたスキャンチェーン 5 2 a ~ 5 2 e からのデータと、各レジスタ 2 3 2 a ~ 2 3 2 d の出力データ 2 3 4 a ~ 2 3 4 e との排他的論理和を取り込む。なお、データを取り込むスキャンチェーン 5 2 a ~ 5 2 e は、セ

レクタ 240 及びスキャンチェーン選択信号 S1<sub>1</sub> により選ばれる。

【0040】

なお、図7においては、説明を容易にするため、スペースコンパクタが無い場合の例を示したが、スペースコンパクタがあっても基本的な動作は変わらない。

【0041】

このように、モード切換回路 414 は、自己試験モードと故障解析モードとを切り換えることが出来るため、複数のスキャンチェーン 52a、52b、52c、・・・が1つデータ圧縮器 48 を兼用することが出来る。よって、容易に故障が伝搬したスキャンチェーンを特定することが出来る。即ち、データ圧縮器 48 を兼用する場合でも、期待値シグネチャはスキャンチェーン 52a、52b、52c、・・・毎に持つことになる。総てのスキャンチェーン 52a、52b、52c、・・・に個別にデータ圧縮器 38a、・・・が接続される図1に示した半導体集積回路 21 に比べて、エリアペナルティを減らすことができる。

【0042】

(比較例)

図8に示すように、本発明の第1の実施の形態の比較例に係る半導体集積回路 11 は、複数のスキャンチェーン 17a、17b、17c、・・・と、スキャンチェーン 17a、17b、17c、・・・の入力に接続されたテストパターン発生器 19 と、スキャンチェーン 17a、17b、17c、・・・の出力に接続されたテスト結果圧縮器 16 と、テストパターン発生器 19 及びテスト結果圧縮器 16 に接続された BIST 制御回路 12 と、BIST 制御回路 12 に接続されたシフトカウンタ 13 と、BIST 制御回路 12 に接続されたパターンカウンタ 14 とを有する。BIST 制御回路 12 及びテスト結果圧縮器 16 は、半導体集積回路 11 の外部に配置されたテスト 15 にそれぞれ接続されている。スキャンチェーン 17a、17b、17c、・・・は、被テストロジック 18 を構成する。

【0043】

テスト 15 から入力される自己試験モード設定用の外部入力信号 I<sub>n4</sub> により、半導体集積回路 11 は、自己試験モードに設定され、自己テストが実行される。スキャンチェーン 17 への入力テストパターン発生器 19 により自動的に生成

される。また、スキャンチェーン 17 からのテスト結果出力は、テスト結果圧縮器 16 に送信される。テスト結果圧縮器 16 は、入力データのある特定のビット長のデータ（シグネチャ）に圧縮する。最終的に被テストロジック 18 のテスト解析結果が出力され、良否の判定が行われる。

#### 【0044】

しかしながら、図 8 に示したロジック BIST では、ロジック BIST は半導体集積回路 11 内部で故障の有無を判定するため、そのままでは故障解析に必要な情報が得られない。故障解析には、フェイルパタン及びフェイルスキャン F/F 回路の情報が必要であるので、図 8 に示した通常のロジック BIST とは異なる動作でこれらの情報を得る必要がある。

#### 【0045】

例えば、ロジック BIST で故障解析を行う場合、1 パタン毎に動作を分割する手法がある。ここで 1 パタンとは、並列的にスキャン F/F 回路に取り込んだ論理値を、直列的に外部へ出力までの動作を指す。スキャン F/F 回路に並列的に論理値を取り込むことをパラレルキャプチャと呼ぶ。また、スキャン F/F 回路の論理値を直列的に外部へ出力することをシリアルシフトアウトと呼び、これに対して外部から直列的に入力することをシリアルシフトインと呼ぶ。一般的に、第  $n$  番目のパタンのシリアルシフトアウトと第  $n+1$  番目のパタンのシリアルシフトインは同時に行う。ここでは、パラレルキャプチャからシリアルシフトアウトが終了するまでを 1 パタンの区切りとする。このとき、1 パタン毎にテスト結果解析器の状態をテスト 15 で比較すれば、どのパタンで期待値とシグネチャが異なるかがわかるため、故障を検出するテストパタンを特定できる。

#### 【0046】

次に、フェイルスキャン F/F 回路の位置を知る必要がある。このために、図 8 に示した半導体集積回路 11 を図 9 に示すようなスキャンテストモードに切り換える。図 9 に示すように、半導体集積回路 11 は、テスト 15 から送信される制御信号  $I_{n5}$  によりスキャンテストモードに切り換わる。すると、被テストロジック 18 は、テストパタン発生器 19 及びテスト結果圧縮器 16 から切り離され、代わりにテスト 15 と接続される。具体的には、スキャンチェーン 17 a、

17b、17c、・・・は、互いに直列に接続され、初段のスキランチェーン17aの入力及び最終段のスキランチェーンの出力がそれぞれテスト15のスキランチャンネルに接続される。

#### 【0047】

図9に示したスキランテストモードにおいて、自己試験モードにて特定されたフェイルパターンを外部からスキランイン、スキランアウトすることでフェイルスキランF/F回路を特定する。

#### 【0048】

図8及び図9に示した半導体集積回路11は、いくつかの問題を有する。ひとつは、テストパターンを得るためにテストの実行結果を解析しなければならないことである。この解析時間に加え、図9に示したように、スキランテストモードに切り換えての複数回テストを行うためにテスト時間が長くなってしまう。また、スキランテストパターンを別途用意する必要と、スキラン設計を作りこむ必要があるため設計時間が伸びてしまう。さらには、スキランテストモードに切り換えてしまうために、ロジックBISTでないと検出できない故障に対しては故障解析が行えない不良の再現性の問題もある。これは、ロジックBISTによって実動作速度テストを行っている場合は重大な問題となる。

#### 【0049】

##### (第2の実施の形態)

図10に示すように、本発明の第2の実施の形態において、スキランチェーン52a、52b、・・・のそれぞれは複数のブロック52aa、52ab、・・・、52ba、52bb、・・・を有する。即ち、テストパターン発生器29に接続された各スキランチェーン52a、52b、・・・は、複数のブロック52aa、52ab、・・・、52ba、52bb、・・・に分割されている。また、半導体集積回路は、これらのブロック52aa、52ab、・・・、52ba、52bb、・・・のそれぞれの最終段の出力に個別に接続された複数のデータ圧縮器53aa、53ab、・・・、53ba、53bb、・・・を更に有する。第2の実施の形態においては、1つのスキランチェーン52a、52b、・・・を、5つのブロック52aa～52ad、52ba～52bdにそれぞれ分割し

、5つのデータ圧縮器53aa～53ad、53ba～53bdを個別に接続した場合を例に取り説明する。なお、各スキャンチェーン52a、52b、・・・の最終段のブロック52ad、52bd、・・・に接続されたデータ圧縮器53ad、53bd、・・・は、図1に示したデータ圧縮器28a、28b、28c、・・・をそのまま使用することは可能である。また、分割するブロックの数は、5に限らず、1～4或いは6以上であっても構わない。

#### 【0050】

図10に示した回路構成により、ブロック52aa、52ab、・・・、52ba、52bb、・・・のそれぞれに対する期待値シグネチャを用意するだけで、故障が伝搬するスキャンF/F回路が属するブロック（フェイルブロック）52aa、52ab、・・・、52ba、52bb、・・・を特定することができる。故障が伝搬するスキャンF/F回路が属するブロック52aa、52ab、・・・、52ba、52bb、・・・を特定することができれば、特定のブロック52aa、52ab、・・・、52ba、52bb、・・・のキャプチャデータのみをテスト結果のデータとして図1のテスト15に戻せばよい。したがって、フェイルメモリの少ないテスト15であっても問題なくロジックBISTを実施し、フェイルログを解析することが出来る。

#### 【0051】

図11を参照して、図10に示した回路構成によってフェイルスキャンチェーン内のフェイルブロックを特定する手順を説明する。まず、S300段階において、フェイルスキャンチェーン254の情報とフェイルパタン252を基にロジックBISTを実行する。この結果、フェイルログ257が得られる。そして、S310段階において、フェイルログ257を解析して、フェイルスキャンチェーン254内で故障が伝搬するスキャンF/F回路が属するブロック260を特定する。

#### 【0052】

図12を参照して、図10に示した回路構成によってフェイルスキャンチェーン内のブロックを特定し、ブロック内のテスト結果をテスト15に出力する手順を説明する。まず、図11のフローチャートと同様にして、S400段階におい



て、フェイルスキャンチェーン 256 の情報とフェイルパタン 253 を基にロジック BIST を実行する。この結果、フェイルログ 258 が得られる。フェイルログ 258 には、ブロック内のテスト結果のデータが含まれる。なぜなら、シグネチャを比較した結果が不一致であった場合は、ブロック内のテスト結果のデータをテスト 15 に出力するからである。そして、S410 段階において、フェイルログ 258 を解析して、フェイルスキャンチェーン 256 内で故障が伝搬するスキャン F/F 回路が属するブロック 260 及びスキャン F/F 回路 262 を特定する。

### 【0053】

(第 2 の実施の形態の第 1 の変形例)

図 13 に示すように、本発明の第 2 の実施の形態の第 1 の変形例において、スキャンチェーン 52a、52b、... のそれぞれは複数のブロック 52aa、52ab、...、52ba、52bb、... を有する。即ち、テストパタン発生器 29 に接続された各スキャンチェーン 52a、52b、... は、複数のブロック 52aa、52ab、...、52ba、52bb、... に分割されている。また、半導体集積回路は、ブロック 52aa、52ba、52ab、52bb、... の最終段の出力に接続されたセクタ 66aa、66ab、... と、セクタ 66aa、66ab、... に接続されたデータ圧縮器 53aa、53ab、... とを有する。セクタ 66aa、66ab、... は、ブロック 52aa、52ba、52ab、52bb、... を個別に選択する。複数のブロック 52aa、52ba、52ab、52bb、... と 1 つのデータ圧縮器 53aa、53ab、... との間には、セクタ 66aa、66ab、... が接続されている。複数のブロック 52aa、52ba、52ab、52bb、... は、1 つのデータ圧縮器 53aa、53ab、... を兼用している。図 13 においては、隣り合う 2 つのブロック 52aa、52ba が 1 つのデータ圧縮器 53aa を兼用している場合を例に取り説明する。

### 【0054】

複数のブロックが 1 つのデータ圧縮器を兼用することで、エリアペナルティを減らすことが可能である。セクタがデータ圧縮器を兼用するブロックを個別に

選択することにより、逐次的にシグネチャを比較して、総てのブロックに対して故障の伝搬を確認することが出来る。

#### 【0055】

なお、解析時間は、データ圧縮器を兼用するブロックの増加に伴い増加し、エリアペナルティとトレードオフの関係にある。また、1つの圧縮器を兼用するブロックの数は、2つの場合に限らず、3つ以上であっても構わない。

#### 【0056】

(第2の実施の形態の第2の変形例)

図14に示すように、本発明の第2の実施の形態の第2の変形例において、スキャンチェーン52a、52b、...のそれぞれは複数のブロック52aa、52ab、...、52ba、52bb、...を有する。即ち、テストパターン発生器29に接続された各スキャンチェーン52a、52b、...は、複数のブロック52aa、52ab、...、52ba、52bb、...に分割されている。また、半導体集積回路は、ブロック52aa、52ba、52ab、52bb、...のそれぞれの最終段の出力に接続されたセクタ75a、...と、セクタ75a、...に接続されたデータ圧縮器76a、...とを有する。セクタ75a、...は、ブロック52aa、52ab、...52ba、52bb、...を個別に選択する。複数のブロック52aa、52ab、...52ba、52bb、...と1つのデータ圧縮器76a、...との間には、セクタ75a、...が接続されている。複数のブロック52aa、52ab、...52ba、52bb、...は、1つのデータ圧縮器76a、...を兼用している。図14においては、隣り合う2つのスキャンチェーン52a、52bに属する総てのブロック52aa～52ae、52ba～52beが1つのデータ圧縮器76aを兼用する場合を例に取り説明する。

#### 【0057】

図13に示したデータ圧縮器53aa、...は、2つのブロック52aa、52ba、...に兼用されている。これに比して、図14に示したデータ圧縮器76aa、...は、10個のブロック52aa～52ae、52ba～52beに兼用されている。したがって、大幅にエリアペナルティを減らすことが可

能である。なお、各ブロック 52 a a ~ 52 a e、52 b a ~ 52 b e からのデータは、セクタ 75 a によって選択されてデータ圧縮器 76 a に入力され、シグネチャをそれぞれ生成する。

#### 【0058】

なお、2つのスキャンチェーン 52 a、52 b に属する総てのブロック 52 a a ~ 52 a e、52 b a ~ 52 b e が 1つのデータ圧縮器 76 a を兼用する場合を示したが、3つ以上のスキャンチェーンに属する総てのブロックが 1つのデータ圧縮器 76 a を兼用しても構わない。

#### 【0059】

(第2の実施の形態の第3の変形例)

図15に示すように、本発明の第2の実施の形態の第3の変形例において、スキャンチェーン 52 a、52 b、... のそれぞれは複数のブロック 52 a a、52 a b、...、52 b a、52 b b、... を有する。即ち、テストパターン発生器 29 に接続された各スキャンチェーン 52 a、52 b、... は、複数のブロック 52 a a、52 a b、...、52 b a、52 b b、... に分割されている。また、半導体集積回路は、ブロック 52 a a、52 a b、... 52 b a、52 b b、... のそれぞれの最終段の出力に接続されたセクタ 89 a、... と、セクタ 89 a、... に接続されたモード切替回路 414 と、モード切替回路 414 に接続されたデータ圧縮器 48 とを有する。セクタ 89 a、... は、ブロック 52 a a、52 a b、... 52 b a、52 b b、... を個別に選択する。複数のブロック 52 a a、52 a b、... 52 b a、52 b b、... と 1つのデータ圧縮器 48 との間には、セクタ 89 a、... 及びモード切替回路 414 が接続されている。複数のブロック 52 a a、52 a b、... 52 b a、52 b b、... は、1つのデータ圧縮器 48 を兼用している。図15においては、隣り合う2つのスキャンチェーン 52 a、52 b に属する総てのブロック 52 a a ~ 52 a e、52 b a ~ 52 b e が 1つのデータ圧縮器 48 を兼用する場合を例に取り説明する。

#### 【0060】

複数のセクタ 89 a、... と 1つのデータ圧縮器 48 との間にモード切換

回路 414 を配置することにより、データ圧縮器 48 は自己試験モードで用いるテスト結果圧縮器としても兼用でき、エリアペナルティが大幅に減少することが出来る。自己試験モードのとき、セクタ 89a、・・・及びモード切換回路 414 は、総てのスキANCHェーン 52a、52b、・・・とデータ圧縮器 48 とを直接もしくは空間的圧縮（スペースコンパクト）して接続する。これに対して、故障解析モードのとき、セクタ 89a、・・・及びモード切換回路 414 は、特定のブロック 52aa～52ae、52ba～52be、・・・とデータ圧縮器 48 とを直接に接続する。したがって、データ圧縮器 48 はブロック 52aa～52ae、52ba～52be、・・・ごとのシグネチャを生成可能である。モード切換回路 414 の回路構成は、例えば、図 7 に示した回路構成と同じである。

#### 【0061】

（第 2 の実施の形態の第 4 の変形例）

図 16 に示すように、本発明の第 2 の実施の形態の第 4 の変形例において、スキANCHェーン 52a、52b、・・・のそれぞれは複数のブロック 52aa、52ab、・・・、52ba、52bb、・・・を有する。即ち、テストパターン発生器 29 に接続された各スキANCHェーン 52a、52b、・・・は、複数のブロック 52aa、52ab、・・・、52ba、52bb、・・・に分割されている。また、半導体集積回路は、ブロック 52aa、52ba、52ab、52bb、・・・の最終段の出力に接続された排他的論理和回路 67aa、67ab、・・・と、排他的論理和回路 67aa、67ab、・・・に接続されたデータ圧縮器 53aa、53ab、・・・とを有する。複数のブロック 52aa、52ba、52ab、52bb、・・・と 1 つのデータ圧縮器 53aa、53ab、・・・との間には、排他的論理和回路 67aa、67ab、・・・が接続されている。複数のブロック 52aa、52ba、52ab、52bb、・・・は、1 つのデータ圧縮器 53aa、53ab、・・・を共有している。図 16 においては、隣り合う 2 つのブロック 52aa、52ba が 1 つのデータ圧縮器 53aa を兼用している場合を例に取り説明する。

#### 【0062】

図13に示した2つのブロック52aa、52ba、・・・は、セクタ66aa、66ab、・・・を介してデータ圧縮器53aa、・・・を兼用している。これを「セクタ方式」という。このセクタ方式に比して、図16に示した2つのブロック52aa、52ba、・・・は、排他的論理和回路67aa、67ab、・・・を介してデータ圧縮器53aa、・・・を共有している。したがって、複数のスキャンチェーンのブロックを単位（フェイルスキャンブロック）として、故障が伝搬するスキャンF/F回路を特定することが出来る。例えば、故障が伝搬するスキャンチェーン52a或いはスキャンチェーン52bを特定できない状態であっても、ブロック52aa或いはブロック52baのどちらかに故障が伝搬していることを特定することが出来る。

#### 【0063】

図17を参照して、図16に示した回路構成によってフェイルスキャンチェーン内で故障が伝搬するブロック（フェイルスキャンブロック）を特定し、ブロック内のテスト結果をテスト15に出力する手順を説明する。まず、S600段階において、フェイルパタン163に対してロジックBISTを実行する。この結果、フェイルログ164が得られる。フェイルログ164には、ブロック内のテスト結果のデータが含まれる。そして、S610段階において、フェイルログ164を解析して、フェイルスキャンブロック165を特定する。

#### 【0064】

##### （第3の実施の形態）

図18に示すように、本発明の第3の実施の形態において、複数のスキャンF/F回路99a、99b、99c、・・・は、シフトレジスタ状に直列に接続され、スキャンチェーン92を構成する。スキャンF/F回路99a、99b、99c、・・・の出力は、排他的論理和回路（XOR回路）96a、96b、96c、・・・の一方の入力に接続されている。XOR回路96a、96b、96c、・・・の出力は、セクタ（MUX）93a、93b、93c、・・・の一方の入力に接続されている。排他的論理和回路（XOR回路）96a、96b、96c、・・・の他方の入力には、制御信号97a、97b、97c、・・・が供給される。MUX93a、93b、93c、・・・の他方の入力には、第1の組

み合せ回路 91 に接続されている。スキャン F/F 回路 99a、99b、99c、・・・の出力には、第 2 の組み合せ回路 912 が接続されている。MUX 93a、93b、93c、・・・は、セレクト信号 94a、94b、94c、・・・に従って何れかの入力を選択する。このように、図 18 においては、各スキャン F/F 回路 99a、99b、99c、・・・に、1 つの XOR 回路 96a、96b、96c、・・・及び 1 つの MUX 93a、93b、93c、・・・が付されている。

#### 【0065】

セレクト信号 94a、94b、94c、・・・が論理値 1 である時、MUX 93a、93b、93c、・・・は、第 1 の組み合せ回路 91 からのデータを受け取り、スキャン F/F 回路 99a、99b、99c、・・・へ送信する。セレクト信号 94a、94b、94c、・・・が論理値 0 である時、MUX 93a、93b、93c、・・・は、XOR 回路 96a、96b、96c、・・・の出力を受け取り、スキャン F/F 回路 99a、99b、99c、・・・へ送信する。

#### 【0066】

制御信号 97a、97b、97c、・・・が論理値 1 である時、XOR 回路 96a、96b、96c、・・・は、スキャン F/F 回路 99a、99b、99c、・・・が保持する論理値の逆値を MUX 93a、93b、93c、・・・へ送信する。この時に、スキャン F/F 回路 99a、99b、99c、・・・にクロック信号が入ると、スキャン F/F 回路 99a、99b、99c、・・・の論理値は反転される。制御信号 97a、97b、97c、・・・が論理値 0 である時、XOR 回路 96a、96b、96c、・・・は、スキャン F/F 回路 99a、99b、99c、・・・が保持する論理値をそのまま MUX 93a、93b、93c、・・・へ送信する。この時に、スキャン F/F 回路 99a、99b、99c、・・・にクロック信号が入ると、スキャン F/F 回路 99a、99b、99c、・・・の論理値は保持（ホールド）される。この回路構成において、セレクト信号 94a、94b、94c、・・・と制御信号 97a、97b、97c、・・・によって、各スキャン F/F 回路 99a、99b、99c、・・・の動作（ホールド、反転、取り込み）を決定できる。

## 【0067】

本発明の第3の実施の形態によれば、故障が伝搬しているスキャンF/F回路を半導体集積回路内部で特定することが可能である。テスト15のフェイルメモリへは、故障が伝搬したスキャンF/F回路の情報のみを送信すればよいため、必要なフェイルメモリはさらに小さくて良い。

## 【0068】

(第3の実施の形態の変形例)

図19に示すように、本発明の第3の実施の形態の変形例において、図10及び図13～16に示した1つのブロック（例えば、ブロック52aa）は、複数のスキャンF/F回路99a、99b、99c、・・・を有する。複数のスキャンF/F回路99a、99b、99c、・・・は、シフトレジスタ状に直列に接続され、スキャンチェーン92を構成する。スキャンF/F回路99a、99b、99c、・・・の出力は、XOR回路96a、96b、96c、・・・の一方の入力に接続されている。XOR回路96a、96b、96c、・・・の出力は、MUX93a、93b、93c、・・・の一方の入力に接続されている。XOR回路96a、96b、96c、・・・の他方の入力、トグルF/F回路101に接続されている。MUX93a、93b、93c、・・・の他方の入力には、第1の組み合わせ回路91に接続されている。スキャンF/F回路99a、99b、99c、・・・の出力には、第2の組み合わせ回路912が接続されている。MUX93a、93b、93c、・・・は、シフトカウンタ102に接続されている。トグルF/F回路101及びシフトカウンタ102は、制御線103、104によってそれぞれ制御回路59に接続されている。

## 【0069】

トグルF/F回路101は、制御信号95をXOR回路96a、96b、96c、・・・の他方の入力へそれぞれ供給する。シフトカウンタ102は、セレクト信号100a、100b、100c、・・・を用いてMUX93a、93b、93c、・・・を制御する。MUX93a、93b、93c、・・・は、セレクト信号100a、100b、100c、・・・に従って何れかの入力を選択する。制御回路59は、トグルF/F回路101及びシフトカウンタ102の動作を

制御する。

#### 【0070】

シフトカウンタ102が0である時、スキャンF/F回路99aがセレクト信号100aにより選択される。シフトカウンタ102がひとつカウントアップすると、スキャンF/F回路99bがセレクト信号100bにより選択される。シフトカウンタ102が更にひとつカウントアップすると、スキャンF/F回路99cがセレクト信号100cにより選択される。このように、シフトカウンタ102は、シフトレジスタに属する始点から終点までのスキャンF/F回路99a、99b、99c、・・・を一つずつ選択する。トグルF/F回路101は、クロックが入る度に0と1とを反転する機能を有する。

#### 【0071】

図1、図4及び図6に示したスキャンチェーン52a、52b、52c、・・・に対して、図19に示したスキャンチェーン92を適用することにより、故障が伝搬しているスキャンF/F回路を特定することが出来る。ただし、故障が伝搬するスキャンF/F回路は探索範囲中に高々一つのみとする。スキャンチェーンが比較的長い場合、このような条件を満たすのは一般的に難しい。そこで、図10、図13～16に示したスキャンチェーンのブロック分割を利用する。この結果、特定ブロック内に高々一つのスキャンF/F回路のみに故障の影響が伝搬する場合には、フェイルスキャンF/F回路を特定することが出来る。

#### 【0072】

なお、図19に示したシフトカウンタ102は、ロジックBISTが通常もっているシフトカウンタと兼用することができる。

#### 【0073】

図20及び図21を参照して、図19に示した回路構成によって故障が伝搬するスキャンF/F回路を特定する手順を説明する。ここでは、対象ブロックに3つのスキャンF/F回路99a、99b、99cが属しており、故障120の影響はスキャンF/F回路99bに伝搬している。スキャンチェーン92によって、スキャンF/F回路99a、99b、99cにスキャンインする論理値は、[010]である。その結果、スキャンF/F回路99aには論理値0が登録され



、スキャンF/F回路99bには論理値1が登録され、スキャンF/F回路99cには論理値0が登録される。故障が無い場合（第1の組合せ回路91が正常な場合）、スキャンF/F回路99a、99b、99cが第1の組合せ回路91から取り込む論理値は、[101]である。これに対して、故障120が発生した場合、スキャンF/F回路99bは、0でなく、1を取り込む。この様子を図20において「0/1」と表す。この結果、故障120が有る（第1の組み合わせ回路91が異常である）場合、スキャンF/F回路99a、99b、99cは、それぞれ[111]の信号を取り込む。このブロックに対してシグネチャ比較を行うと、期待値と一致しない為、スキャンF/F回路99a、99b、99cの少なくとも1つに故障120が伝搬していることが分る。

#### 【0074】

以下に、故障120が伝搬するスキャンF/F回路を特定する方法を説明する。

#### 【0075】

(イ) 先ず、制御回路59は、シフトカウンタ102を論理値0に（S700段階）、トグルF/F回路101を論理値0に（S701）、それぞれ設定する。セレクト信号100aは論理値0に、セレクト信号100b、100cは論理値1になる。また、制御信号95は論理値0になる。S702段階において、フラグに0を設定する。

#### 【0076】

(ロ) 次に、S703段階において、スキャンチェーン92を用いて、3つのスキャンF/F回路99a、99b、99cに、[010]の信号をスキャンシフトインする。

#### 【0077】

(ハ) 次に、S704段階において、クロックを印加して第1の組合せ回路91から信号を取り込む。スキャンF/F回路99b、99cは、第1の組み合わせ回路91から信号[11]をMUX93b、93cを介して取り込む。スキャンF/F回路99aは、XOR回路96aを介して自己の論理値0を保持する。この結果、故障120が有るため、スキャンF/F回路99a、99b、99cには

、それぞれ[011]の信号が登録される。

【0078】

(ニ) そして、S705段階において、スキャンF/F回路99a、99b、99cの論理値[011]をシフトアウトし、圧縮する。S706段階において、シグネチャ（圧縮結果）と期待値と比較する。シグネチャが期待値と一致する場合（S707段階においてYes）、スキャンF/F回路99aに故障120が伝搬していることが分る（S708段階）。なぜなら、スキャンF/F回路99aだけが第1の組合せ回路91から信号を取り込まず、自己の論理値を保持することで、故障120の影響が解消されているからである。

【0079】

(ホ) シグネチャが期待値と一致しない場合（S707段階においてNo）、S709段階において、フラグを確認する。トグルF/F回路101が0のままである場合、フラグも0である。この場合、制御回路59は、トグルF/F回路101の論理値を反転させて1に設定し（S713段階）、フラグを1に設定する（S714段階）。この結果、制御信号95は論理値1となる。シフトカウンタ102の状態は変更しない為、セレクト信号100a~100cは変化しない。そして、S703段階に戻り、S703~709段階を実施する。即ち、この状態で、スキャンチェーン92を用いて、3つのスキャンF/F回路99a、99b、99cに、フェイルパタン[010]をスキャンシフトインし、クロックを入れる。なお、制御信号95は1である為、スキャンF/F回路99aは、スキャンシフトインしている論理値0を反転して論理値1を登録する。スキャンF/F回路99b、99cは、第1の組み合わせ回路91から論理値[11]をそれぞれ取り込む。この結果、スキャンF/F回路99a、99b、99cに登録されている論理値は、[111]となる。S707段階においてYesであれば、先ほどと同様に、スキャンF/F回路99aに故障120の影響が伝搬していることが判明する。しかし、第1の組み合わせ回路91に故障120が無い場合に期待される論理値は[101]であり、スキャンシフトアウトされた論理値[111]と異なるため、圧縮結果も異なる。よって、S709へ進む。

【0080】

(へ) フラグを確認する (S709)。フラグは1である為 (S709にてNo)、スキャンF/F回路99aに故障120の影響が伝搬していないことが判明する。このように、スキャンF/F回路99aが論理値をそのまま保持する第1の動作及びスキャンF/F回路99aが論理値を反転させる第2の動作から、第1の組み合わせ回路91に発生した故障120の影響は、スキャンF/F回路99aに伝搬していないことが分る。なぜならば、スキャンF/F回路99aの論理値が0であっても1であっても期待値と一致しないことは、他のスキャンF/F回路99b、99cの何れかに故障120の影響が伝搬していることを示しているからである。即ち、スキャンF/F回路99aの論理値に関わらず期待値シグネチャが一致しないことは、他のスキャンF/F回路99b、99cの論理値に誤りがあることを示しているからである。

#### 【0081】

(ト) そして、S700段階でまだ設定していないスキャンF/F回路の有無を確認する (S711)。S711段階においてNOであれば、対象スキャンF/F回路をスキャンF/F回路99aからスキャンF/F回路99b、99cに変更し (S712)、S701段階に戻る。具体的には、制御回路59はシフトカウンタ102をカウントアップする。同時に、トグルF/F回路101の論理値を0に制御する。その結果、セレクト信号100bは論理値0に、セレクト信号100a、100cは論理値1になる。また、制御信号95は論理値0になる。この状態で、フェイルパタン[010]をスキャンシフトインしてクロックを入れると、スキャンF/F回路99a、99b、99cの論理値はそれぞれ[111]になる。この状態で、フェイルパタン[010]をスキャンシフトイン (S703) してクロックを入れる (S704) と、スキャンF/F回路99a、99b、99cの論理値はそれぞれ[111]になる。

#### 【0082】

(チ) スキャンF/F回路99a、99b、99cは、論理値[111]をデータ圧縮器へスキャンシフトアウトする (S705)。第1の組み合わせ回路91に故障120が無い場合に期待される論理値は[101]であり、スキャンシフトアウトされた論理値[111]と異なるため、圧縮結果も異なる (S707)。制御

回路 59 は、トグル F/F 回路 101 の論理値を反転させて 1 に設定する (S713)。この結果、制御信号 92 は論理値 1 となる。シフトカウンタ 102 の状態は変更しない為、セレクト信号 100a~100c は変化しない。

#### 【0083】

(リ) この状態で、スキャンチェーン 92 を用いて、3 つのスキャン F/F 回路 99a、99b、99c に、フェイルパタン [010] をスキャンシフトインし (S703)、クロックを入れる (S704)。制御信号 95 は 1 である為、スキャン F/F 回路 99b は、スキャンシフトインしている論理値 1 を反転して論理値 0 を登録する。スキャン F/F 回路 99a、99c は、第 1 の組み合わせ回路 91 から論理値 [11] をそれぞれ取り込む。この結果、スキャン F/F 回路 99a、99b、99c に登録されている論理値は、[101] となる。データ圧縮器へこの論理値 [101] をスキャンシフトアウトすると、期待値と同じであるのでデータ圧縮値も一致することになる (S707 段階において Yes)。

#### 【0084】

この結果から、スキャン F/F 回路 99b に故障 120 の影響が伝搬していることがわかる (S708)。なぜならば、第 1 の組み合わせ回路 91 からデータを取り込んでいるスキャン F/F 回路 99a、99c に故障 120 の影響が伝搬しているのであれば、期待値は一致しないからである。スキャン F/F 回路 99b の論理値をホールド (論理値 1) した場合に期待値の不一致が起こり、反転した場合 (論理値 0) に一致していることから、スキャン F/F 回路 99b は、期待値 0 に対して 1 が伝播していることもわかる。

#### 【0085】

なお、第 3 の実施の形態で示した方法では、ブロック内にある故障 120 の影響が伝搬したスキャン F/F 回路 99b を特定することが出来る。しかしながら、図 22 に示すように、故障 121 の影響が伝搬するスキャン F/F 回路 125、127 が対象ブロック内に 2 つ以上存在する場合もあり得る。即ち、組み合わせ回路 123 には、インバータ 133 を介してスキャン F/F 回路 125 が接続され、論理積回路 135 を介してスキャン F/F 回路 127 が接続されている。スキャン F/F 回路 125、127 は、1 つのスキャンチェーン 126 に属する。故

障 121 の影響が同一ブロックに属するスキャン F/F 回路 125、127 の両方に伝搬する場合、図 20 及び図 21 に示した方法で故障 121 の影響が伝搬するスキャン F/F 回路を特定することが出来ない。

#### 【0086】

しかし、図 23 に示すように、故障 121 の影響が伝搬するスキャン F/F 回路 125、127 を異なるスキャンチェーン 137、139 にそれぞれ属させることで、スキャン F/F 回路 125、127 をそれぞれ個別に特定することが出来る。即ち、図 23 に示すスキャンチェーンの構成により、提案方式によるスキャン F/F 回路の特定が可能となる。提案方式によるスキャン F/F 回路の特定方法については、第 4 の実施の形態において後述する。

#### 【0087】

また、第 1 乃至第 3 の実施の形態は互いに組み合わせることができる。先ず、図 24 に示すように、S500 段階において、第 1 の実施の形態及びその変形例で示した方法を用いて、フェイルスキャンチェーン 254 及びフェイルパタン 252 を特定する。S510 段階において、第 2 の実施の形態及びその変形例で示した方法を用いて、フェイルスキャンチェーン 254 内で故障の影響が伝搬するブロック（フェイルスキャンブロック）260 を特定する。最後に、S520 段階において、第 3 の実施の形態及びその変形例で示した方法を用いて、故障の影響が伝搬するスキャン F/F 回路（フェイルスキャン F/F 回路）256 を特定する。

#### 【0088】

##### （第 4 の実施の形態）

図 25 に示すように、本発明の第 4 の実施の形態に係るスキャンチェーン設計支援装置は、被テストロジック内のスキャンチェーンのネット構成を構築する機能を有する演算部と、演算部に接続された記憶装置を有する。記憶装置には、ネットリスト 150、スキャン F/F 依存情報 152 及び処理済みネットリスト 154 などの各種データが固定的に記録される。また、演算部は、スキャンチェーンを構成するスキャン F/F 回路のそれぞれの論理コーンを抽出する論理コーン抽出部 166 と、抽出された論理コーン同士の依存関係を抽出するスキャン F/F

F依存関係抽出部151と、スキャンF/F依存情報152及びネットリスト150に基づいてスキャンチェーンを構築するスキャンチェーン構築部153とを有する。

#### 【0089】

演算部は、通常のコンピュータシステムの中央処理装置（CPU）の一部として構成すればよい。論理コーン抽出部166、スキャンF/F依存関係抽出部151及びスキャンチェーン構築部153は、それぞれ専用のハードウェアで構成しても良く、通常のコンピュータシステムのCPUを用いて、ソフトウェアで実質的に等価な機能を有していても構わない。記憶装置は、それぞれ、半導体ROM、半導体RAM等の半導体メモリ装置、磁気ディスク装置、磁気ドラム装置、磁気テープ装置などの補助記憶装置で構成してもよく、CPUの内部の主記憶装置で構成しても構わない。演算装置には、入出力制御部を介して、操作者からのデータや命令などの入力を受け付ける入力装置と、処理済みネットリスト154のデータを出力する出力装置とが接続されている。入力装置には、キーボード、マウス、ライトペンまたはフレキシブルディスク装置などが含まれる。出力装置には、プリンタ装置、表示装置などが含まれる。表示装置には、CRT、液晶などのディスプレイ装置が含まれる。演算部で実行される各処理のプログラム命令はプログラム記憶装置に記憶されている。プログラム命令は必要に応じてCPUに読み込まれ、CPUの内部の演算部によって、演算処理が実行される。また同時に、一連の演算処理の各段階で発生した数値情報などのデータは、CPU内の主記憶装置に一時的に記憶される。

#### 【0090】

図25に示すように、まず、論理コーン抽出部166は、スキャンF/F回路の接続関係を示すネットリスト150から、スキャンF/F回路ごとの論理コーンを抽出する。そして、スキャンF/F依存関係抽出部151は、抽出された論理コーンに基づいて、スキャンF/F依存情報152を抽出する。スキャンF/F依存情報152には、論理コーン同士の依存関係、即ち、論理コーン同士の重なり合い関係が含まれる。その後、スキャンチェーン構築部153は、スキャンF/F依存情報152及びネットリスト150に基づいて、処理済みネットリス

ト 154 を作成する。具体的には、スキャンチェーン構築部 153 は、論理コーン同士が重なり合うスキャン F/F 回路を、同じスキャンチェーンで接続することが無く、論理コーンの依存関係を持たないスキャン F/F 回路同士で 1 つのスキャンチェーンを構成するように、ネットリスト 150 を修正し、処理済みネットリスト 154 を作成する。

#### 【0091】

図 25 に示すスキャンチェーン設計支援装置によれば、論理コーンが重なり合う部分で故障が発生した場合であっても、論理コーンを有するスキャン F/F 回路を異なるスキャンチェーンに属させることが出来る。したがって、図 22 に示したように 1 つのスキャンチェーン 126 に属する 2 以上のスキャン F/F 回路 125、127 に故障 121 の影響が伝搬するようなスキャンチェーンを構成することが無くなり、図 23 に示したように、故障 121 の影響が伝搬するスキャン F/F 回路 129、131 を異なるスキャンチェーン 137、139 にそれぞれ属させることが出来る。また、フィジカルレイアウト情報を合わせて利用することにより、最適なスキャンチェーンを構築できる。

#### 【0092】

##### (第 5 の実施の形態)

図 26 に示すように、本発明の第 5 の実施の形態に係る半導体設計支援装置は、図 1、4、6 に示すような被テストロジックに対してロジック BIST を実行する為の周辺回路を挿入する為の機能を備えた演算部と、演算部に接続された記憶装置とを有する。記憶装置には、被テストロジックに係る回路データ 155、ロジック BIST の実行を制御する為の制御ファイル 156、ロジック BIST 回路データ 158、ロジック BIST 挿入後回路データ 160、テストパターン 161 及びロジック BIST 回路関連情報 162 などの各種データが固定的に記録される。また、演算部は、ロジック BIST 回路を生成するロジック BIST 回路生成部 157 と、回路データ 155 に対してロジック BIST 回路データ 158 を挿入するロジック BIST 挿入部 159 とを有する。

#### 【0093】

演算部は、通常のコンピュータシステムの中央処理装置 (CPU) の一部とし

て構成すればよい。ロジック BIST 回路生成部 157 及びロジック BIST 挿入部 159 は、それぞれ専用のハードウェアで構成しても良く、通常のコンピュータシステムの CPU を用いて、ソフトウェアで実質的に等価な機能を有していても構わない。記憶装置は、それぞれ、半導体 ROM、半導体 RAM 等の半導体メモリ装置、磁気ディスク装置、磁気ドラム装置、磁気テープ装置などの補助記憶装置で構成してもよく、CPU の内部の主記憶装置で構成しても構わない。演算装置には、入出力制御部を介して、操作者からのデータや命令などの入力を受け付ける入力装置と、処理済みネットリスト 154 のデータを出力する出力装置とが接続されている。演算部で実行される各処理のプログラム命令はプログラム記憶装置に記憶されている。プログラム命令は必要に応じて CPU に読み込まれ、CPU の内部の演算部によって、演算処理が実行される。また同時に、一連の演算処理の各段階で発生した数値情報などのデータは、CPU 内の主記憶装置に一時的に記憶される。

#### 【0094】

図 26 に示すように、先ず、ロジック BIST 回路生成部 157 は、回路データ 155 及び制御ファイル 156 に基づいて、回路データ 155 に係る被テストロジックに適したロジック BIST 回路データ 158 を生成する。そして、ロジック BIST 挿入部 159 は、回路データ 155、ロジック BIST 回路データ 158 及び制御ファイル 156 に基づいて、ロジック BIST 挿入後回路データ 160、テストパターン 161 及びロジック BIST 回路関連情報 162 を生成する。具体的には、回路データ 155 に係る被テストロジックに対してロジック BIST 回路を挿入する。その結果、ロジック BIST 挿入後回路が生成されると同時に、ロジック BIST を実行する為のテストパターン 161 及びロジック BIST 回路関連情報 162 も生成される。

#### 【0095】

なお、第 4 の実施の形態と第 5 の実施の形態とは、組み合わせて実施することが出来る。即ち、図 25 に示したスキャンチェーン設計支援装置を用いて被テストロジック内のスキャンチェーンを構築する。そして、図 26 に示した半導体設計支援装置を用いてこの被テストロジックに係る回路データ 155 に基づいて、ロ



ジック BIST 回路を生成及び挿入することが出来る。また、第 4 の実施の形態と第 5 の実施の形態を組み合わせる場合、実施する順番は問わない。何れを先に行っても良い。

#### 【0096】

#### 【発明の効果】

以上説明したように、本発明によれば、故障箇所を容易に特定することができる半導体集積回路を提供することができる。

#### 【図面の簡単な説明】

#### 【図 1】

本発明の第 1 の実施の形態に係る半導体集積回路を示すブロック図である。

#### 【図 2】

図 2 (a) は、図 1 のテストパターン発生器 29 の一例を示す回路図である。図 2 (b) は、図 1 のデータ圧縮器 28 a の一例を示す回路図である。

#### 【図 3】

フェイルスキャンチェーンを特定する手順の一例を示すフローチャートである。

#### 【図 4】

本発明の第 1 の実施の形態の第 1 の変形例に係る半導体集積回路を示すブロック図である。

#### 【図 5】

図 4 に示した半導体集積回路 31 におけるスキャンチェーンを特定する手順の一例を示すフローチャートである。

#### 【図 6】

本発明の第 1 の実施の形態の第 2 の変形例に係る半導体集積回路を示すブロック図である。

#### 【図 7】

図 6 に示したモード切換回路 414 及びデータ圧縮器 48 の一例を示す回路図である。

#### 【図 8】

STUMPS方式によるロジックBISTの一般的な構成を示すブロック図である。

【図 9】

スキャンテストモードにおける図 8 に示した半導体集積回路 11 を示すブロック図である。

【図 10】

本発明の第 2 の実施の形態に係る半導体集積回路の一部分を示すブロック図である。

【図 11】

図 10 に示した回路構成によってフェイルスキャンチェーン内のフェイルブロックを特定する手順の一例を示すフローチャートである。

【図 12】

図 10 に示した回路構成によって故障が伝搬するスキャン F/F 回路が属するブロックを特定し、ブロック内のテスト結果をテスト 15 に出力する手順の一例を示すフローチャートである。

【図 13】

本発明の第 2 の実施の形態の第 1 の変形例に係る半導体集積回路の一部分を示すブロック図である。

【図 14】

本発明の第 2 の実施の形態の第 2 の変形例に係る半導体集積回路の一部分を示すブロック図である。

【図 15】

本発明の第 2 の実施の形態の第 3 の変形例に係る半導体集積回路の一部分を示すブロック図である。

【図 16】

本発明の第 2 の実施の形態の第 4 の変形例に係る半導体集積回路の一部分を示すブロック図である。

【図 17】

図 16 に示した回路構成によって故障が伝搬するスキャン F/F 回路が属する

ブロックを特定し、ブロック内のテスト結果をテスト 15 に出力する手順の一例を示すフローチャートである。

【図 18】

本発明の第 3 の実施の形態に係る半導体装置の一部分を示すブロック図である。

【図 19】

本発明の第 3 の実施の形態の変形例に係る半導体装置の一部分を示すブロック図である。

【図 20】

図 19 に示した回路構成によって故障が伝搬するスキャン F/F 回路を特定する手順の一例を説明する回路図である。

【図 21】

図 19 に示した回路構成によって故障が伝搬するスキャン F/F 回路を特定する手順の一例を示すフローチャートである。

【図 22】

故障 121 の影響が 1 つのブロック内に属する 2 つのスキャン F/F 回路 125、127 に伝搬している様子を示す回路図である。

【図 23】

故障 121 の影響が異なるブロック内に属する 2 つのスキャン F/F 回路 125、127 に伝搬している様子を示す回路図である。

【図 24】

第 1 乃至第 3 の実施の形態を組み合わせた一連の故障箇所特定方法を示すフローチャートである。

【図 25】

本発明の第 4 の実施の形態に係るスキャンチェーン設計支援装置の一例を示すブロック図である。

【図 26】

本発明の第 5 の実施の形態に係る半導体設計支援装置の一例を示すブロック図である。

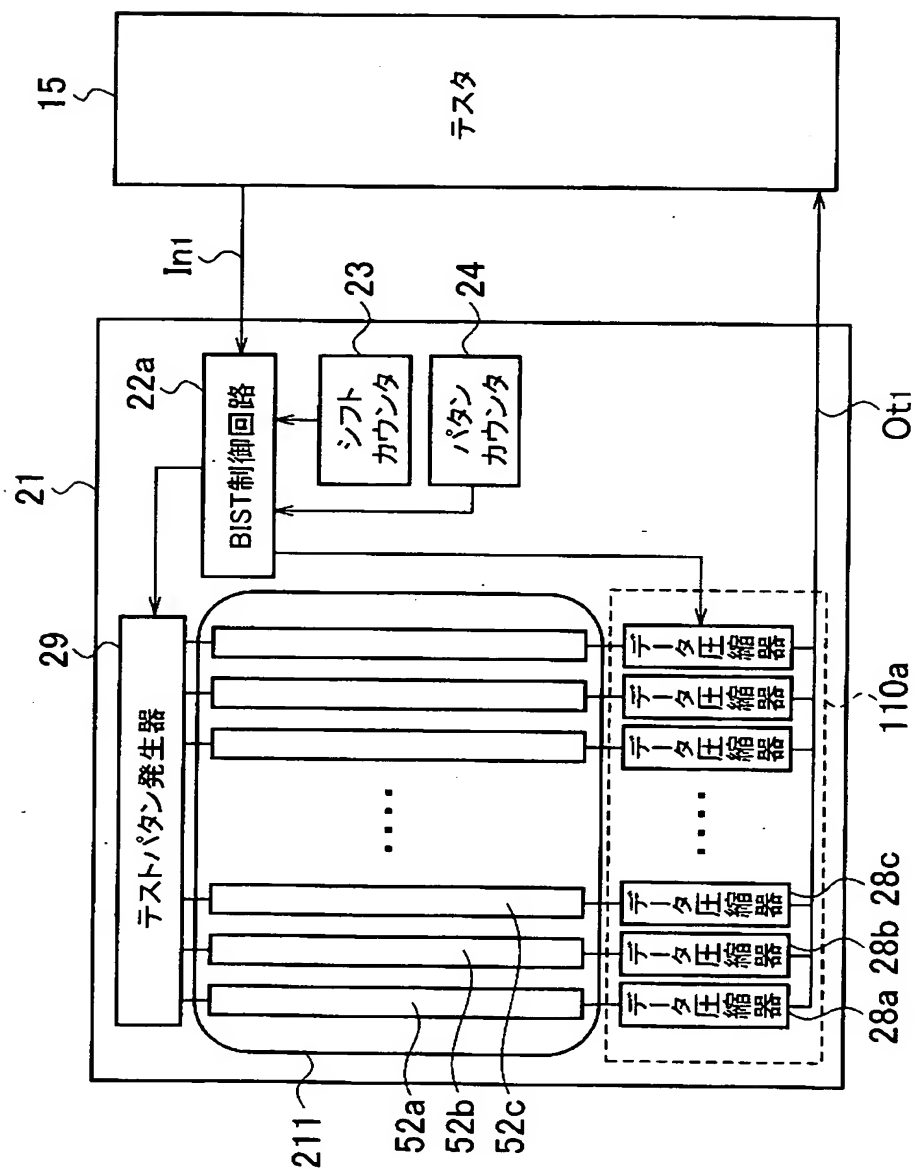
## 【符号の説明】

- 1、11、21、31、41…半導体集積回路
- 12、22a～22c…BIST制御回路
- 13、23、102…シフトカウンタ
- 14、24…パターンカウンタ
- 15…テスト
- 16…テスト結果圧縮器
- 17a～17c、52a～52e、92、126、137…スキャンチェーン
- 18、211…被テストロジック
- 19、29…テストパターン発生器
- 28a、38a、48、53aa～53ad、76a、76aa…データ圧縮器
- 37a～37e、232a～232e、313a～313e…レジスタ
- 47、67aa、96a～96c、213a、230a～230e、242…  
排他的論理和回路（XOR回路）
- 52aa～52ae、52ba、260…ブロック
- 59…制御回路
- 66aa、75a、89a、240、244、314a、…セレクト
- 91…第1の組合せ回路
- 93a～93c…MUX
- 94a、100a～100c…セレクト信号
- 95、97a～97c…制御信号
- 99a～99c、125、127、129、131…スキャンF/F回路
- 101…トグルF/F回路
- 103…制御線
- 110a～110c…テスト結果圧縮部
- 120、121…故障
- 123…組合せ回路
- 133…インバータ

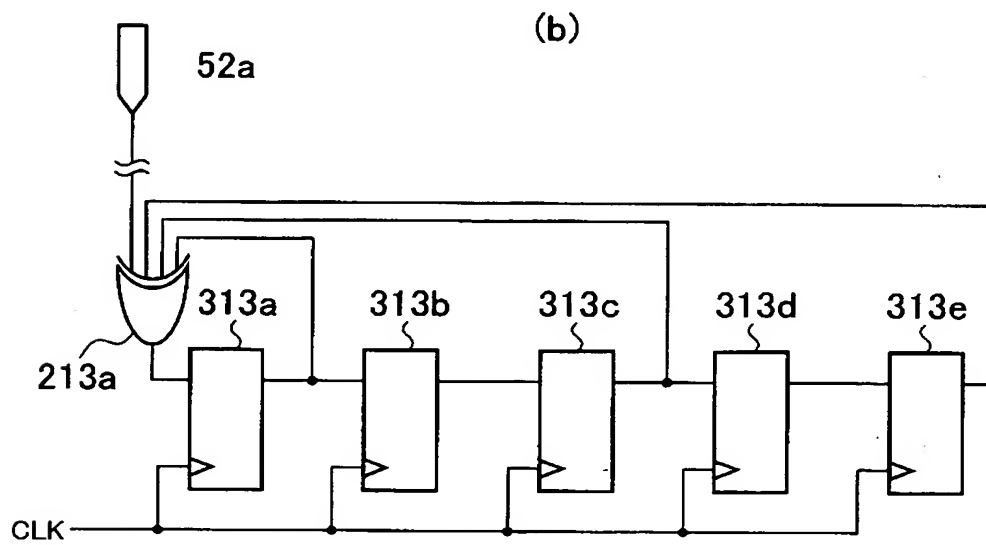
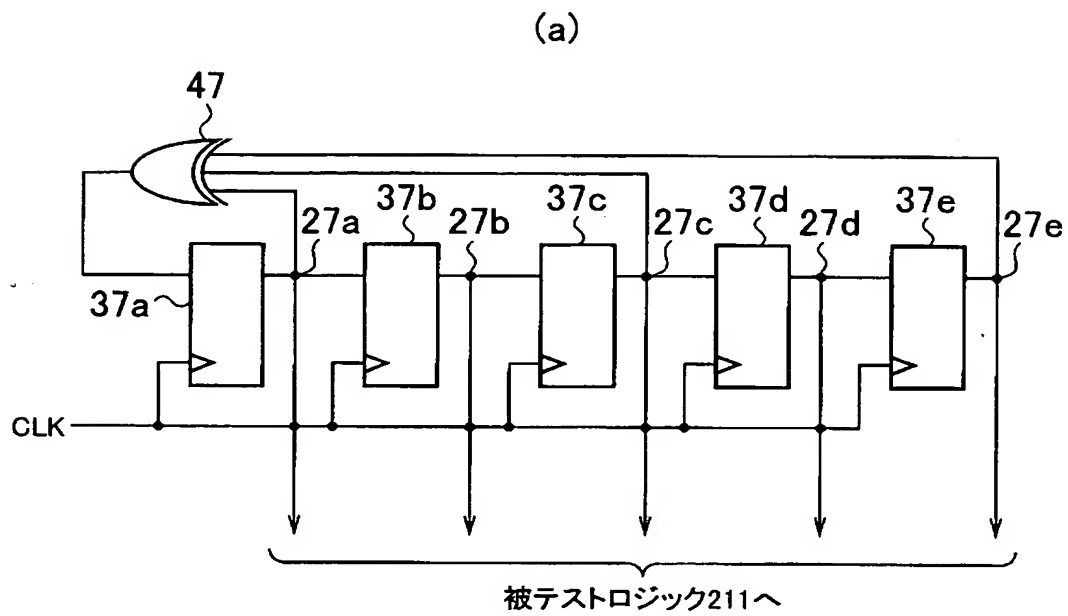
135、246b～246e…論理積回路  
150、154…ネットリスト  
151…依存関係抽出部  
152…依存情報  
153…スキャンチェーン構築部  
155、158…回路データ  
156…制御ファイル  
157…回路生成部  
159…挿入部  
160…挿入後回路データ  
161…テストパターン  
162…回路関連情報  
163、252、253…フェイルパターン  
164、250、251、257、258…フェイルログ  
165…フェイルスキャンブロック  
166…論理コーン抽出部  
211…被テストブロック  
234a～234e…出力データ  
254～256…フェイルスキャンチェーン  
414…モード切換回路  
912…第2の組合せ回路

【書類名】 図面

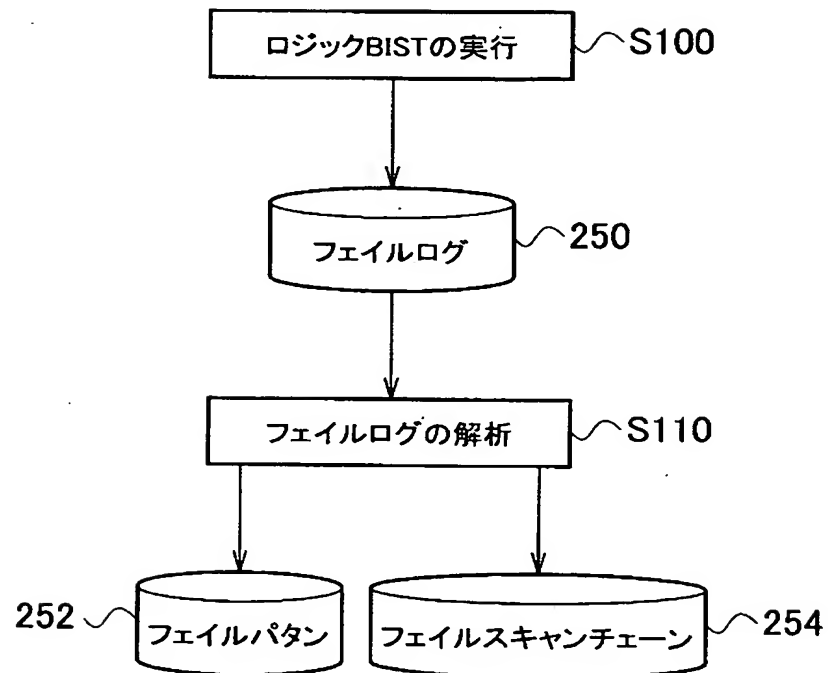
【図 1】



【図 2】

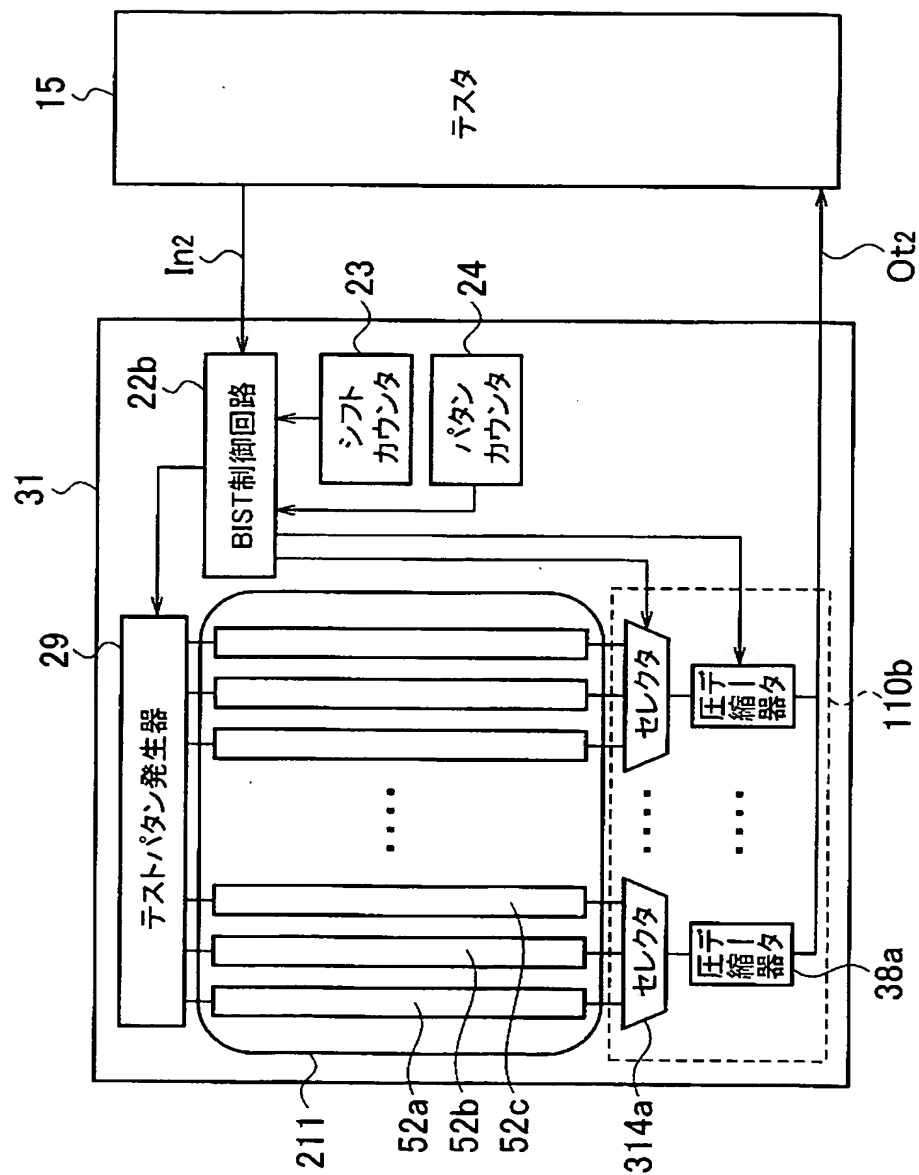


【図 3】

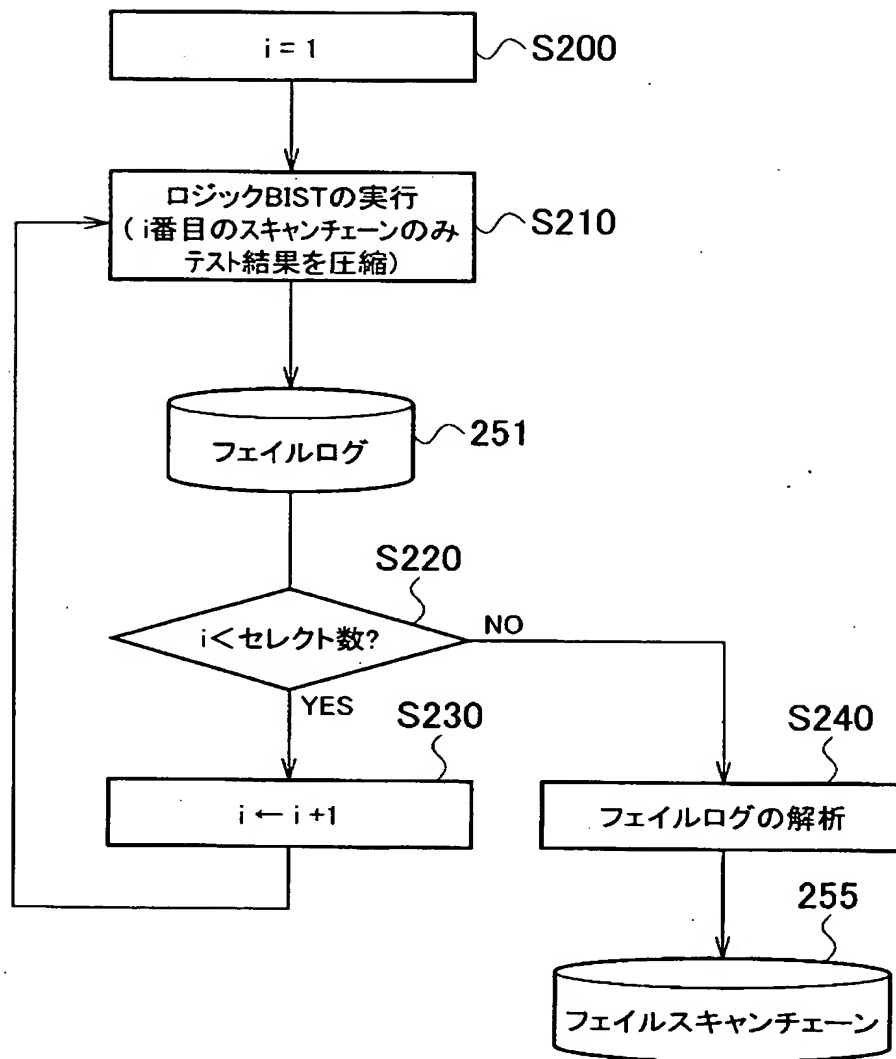




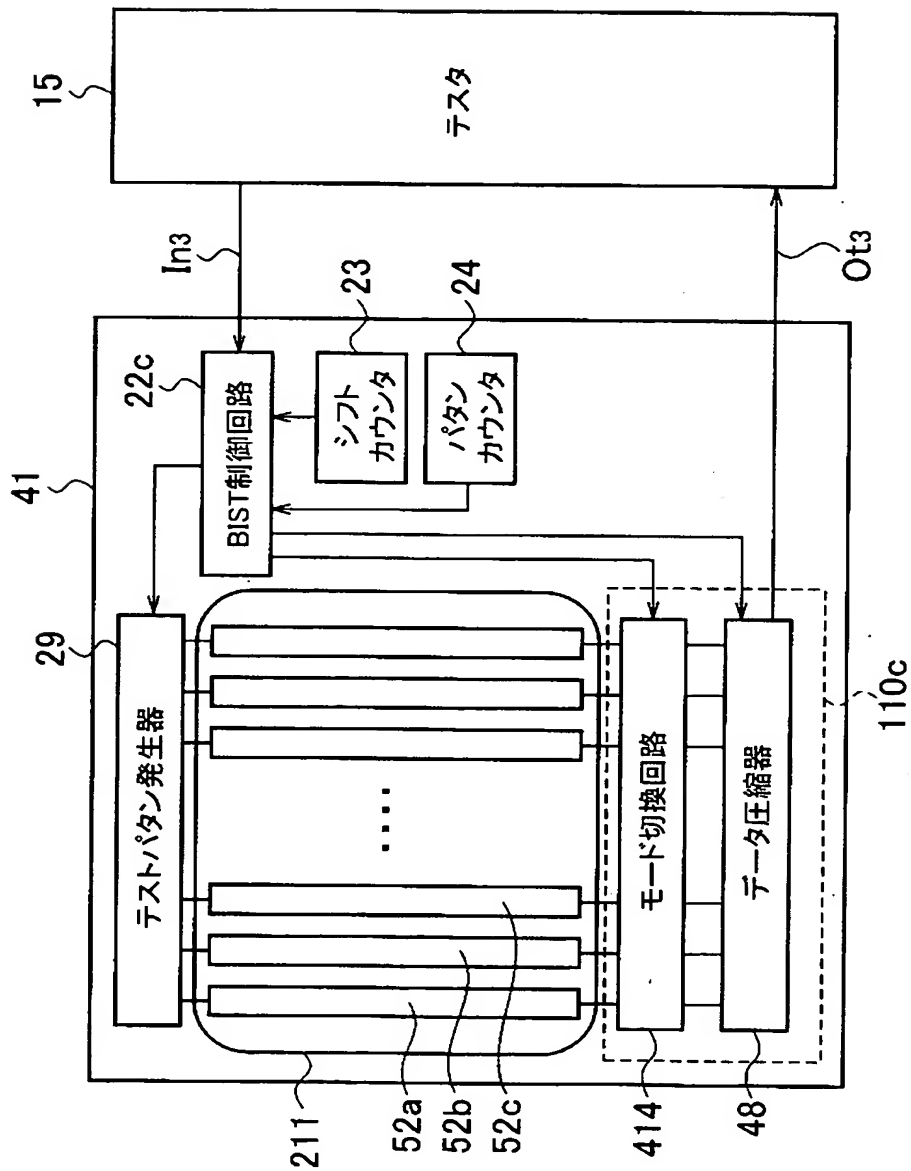
【図 4】



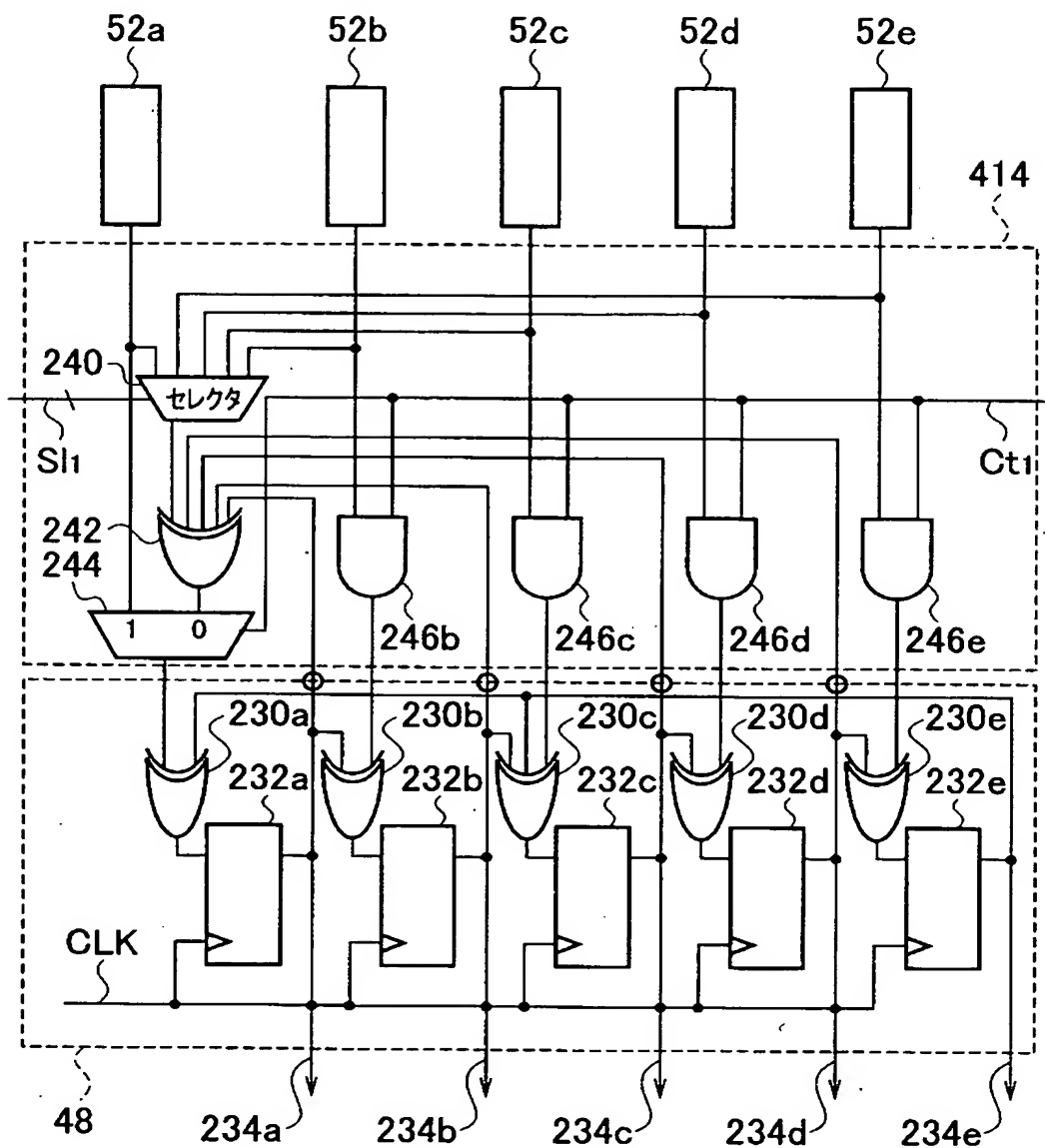
【図 5】



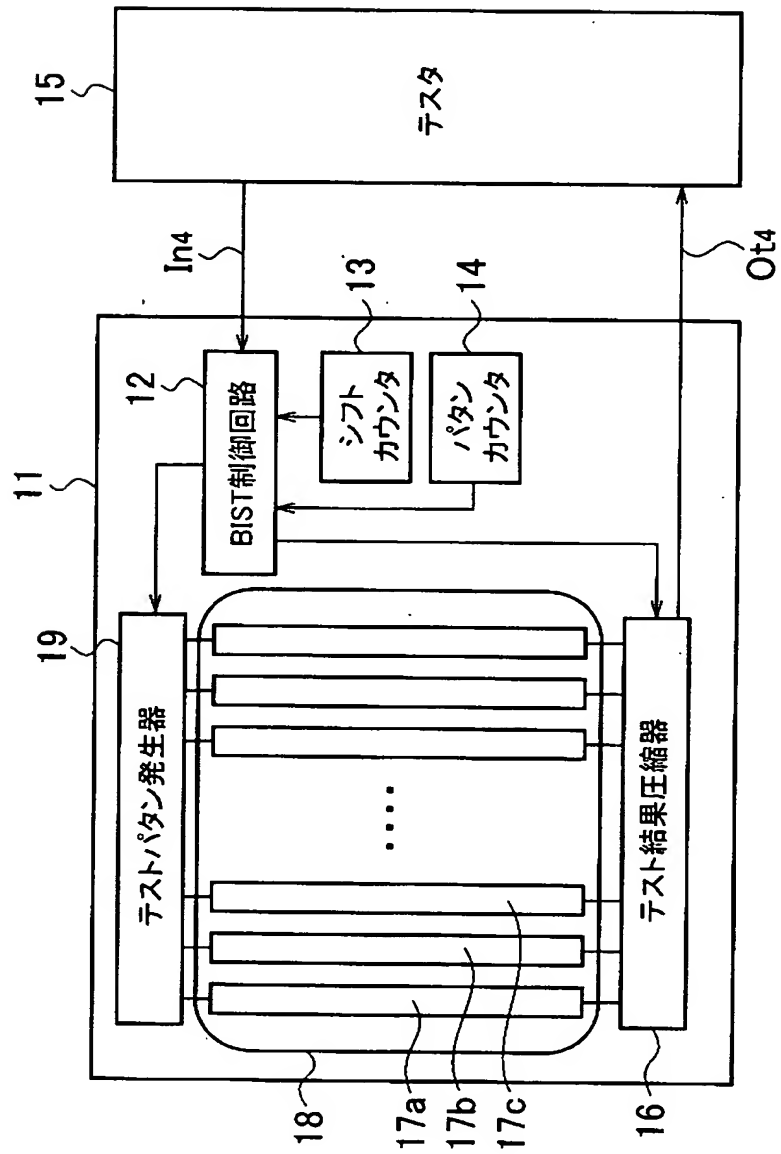
【図 6】



【図 7】

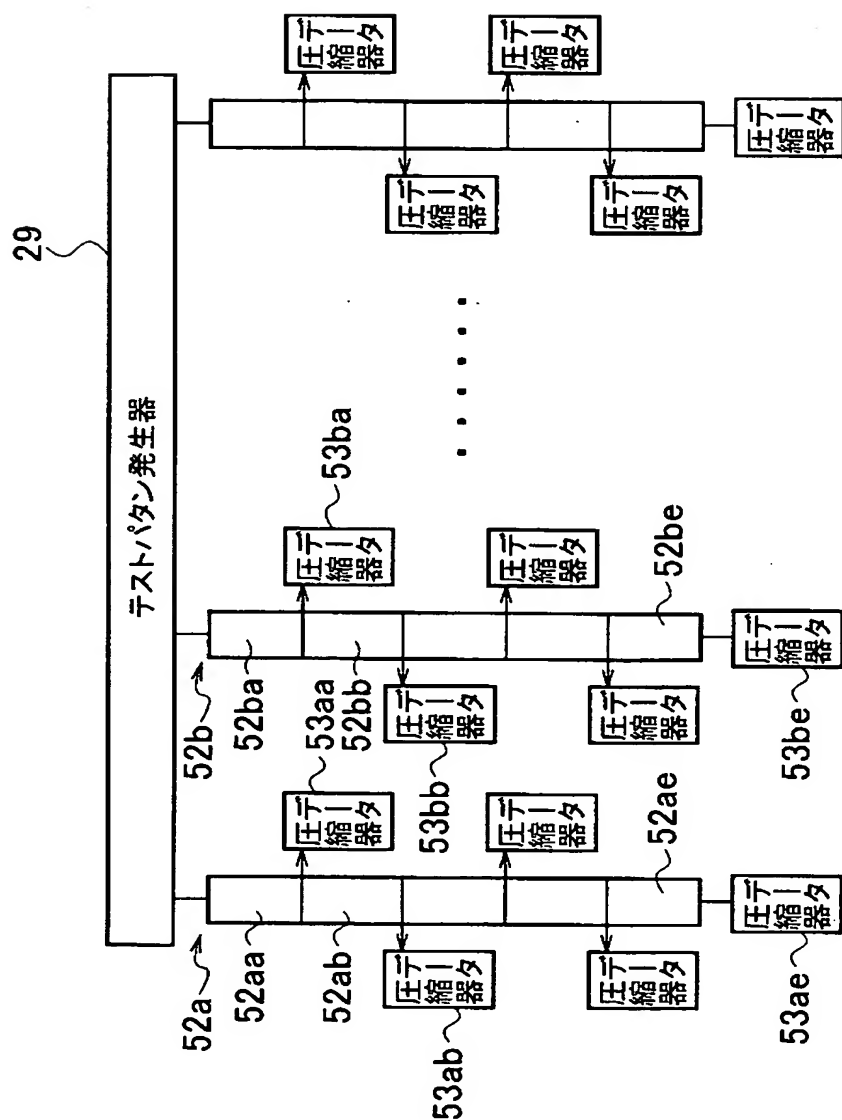


【図 8】

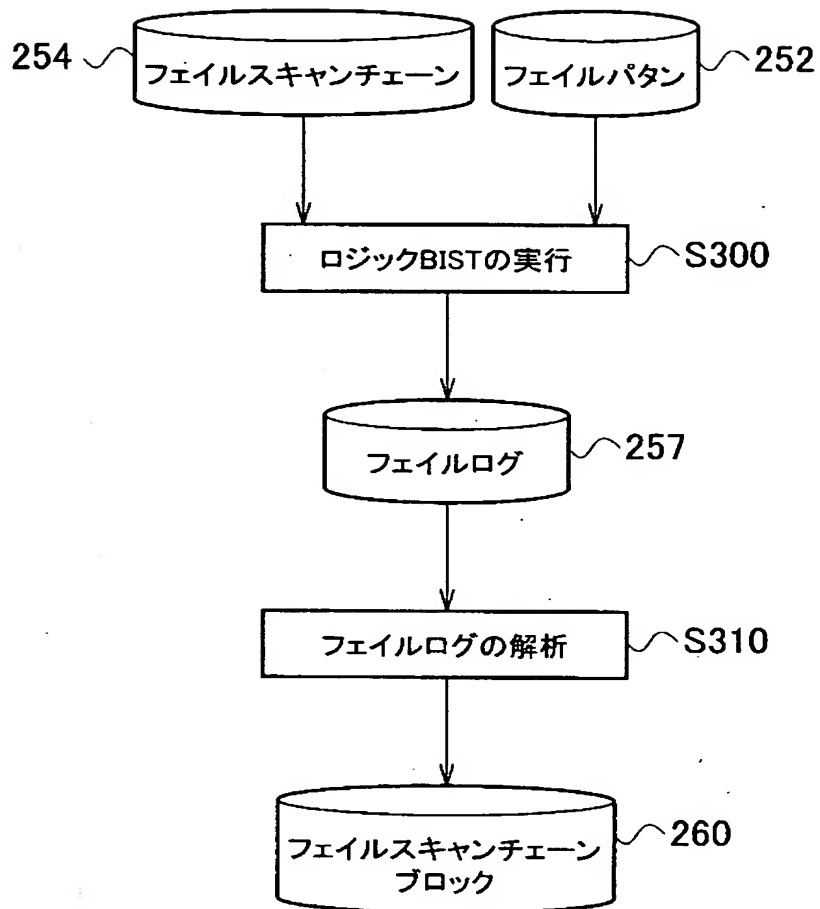




【図 10】

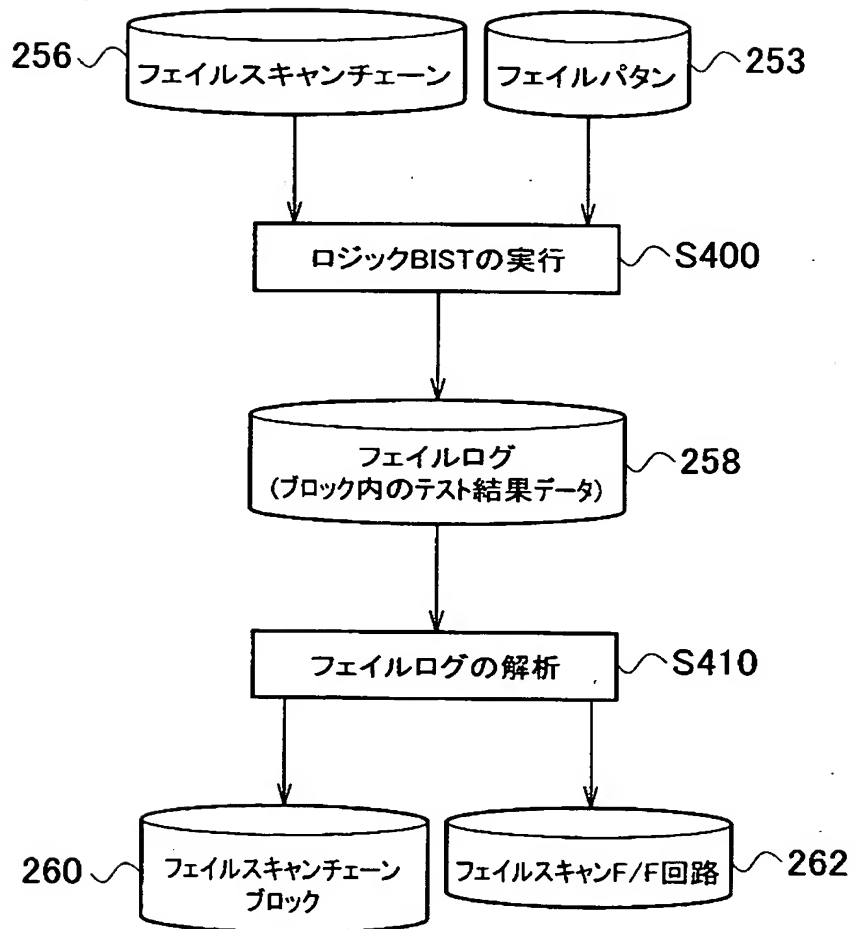


【図 11】

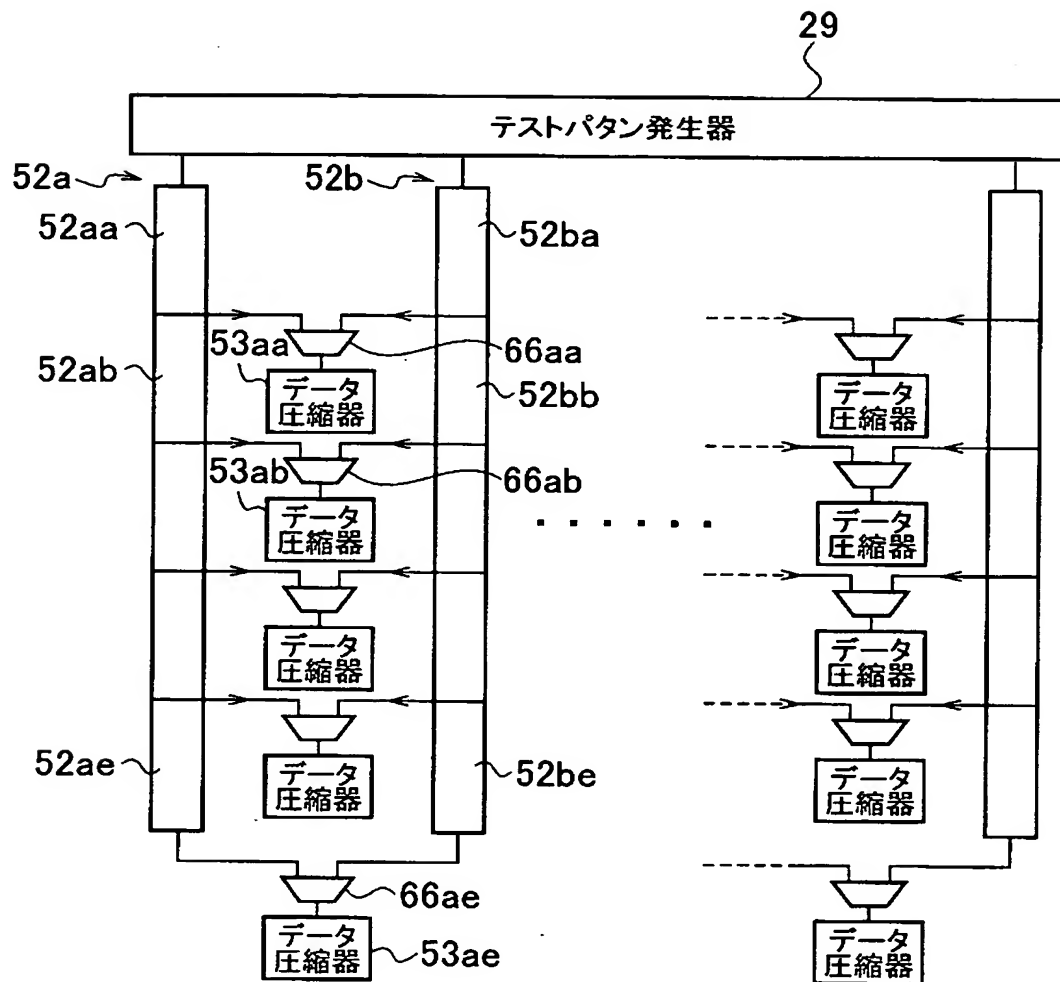




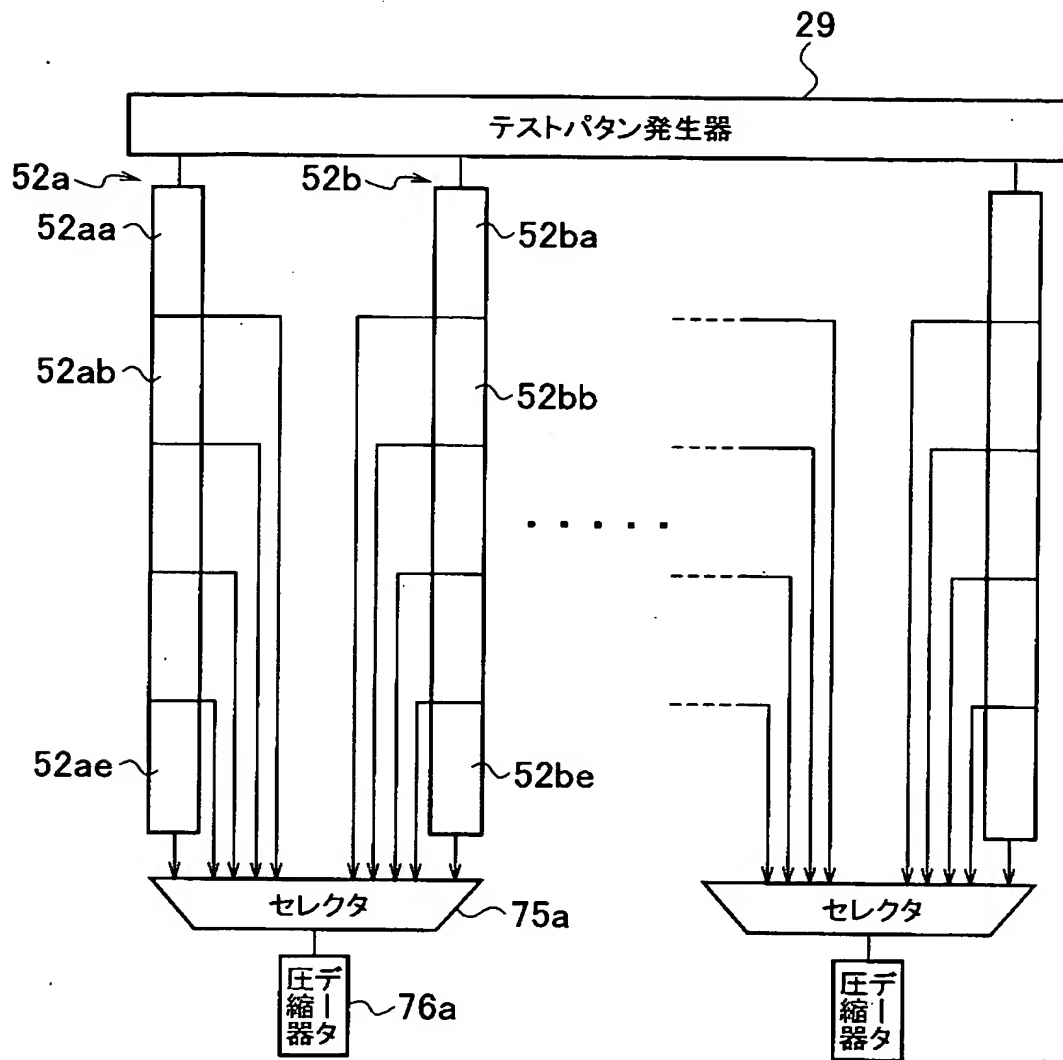
【図 12】



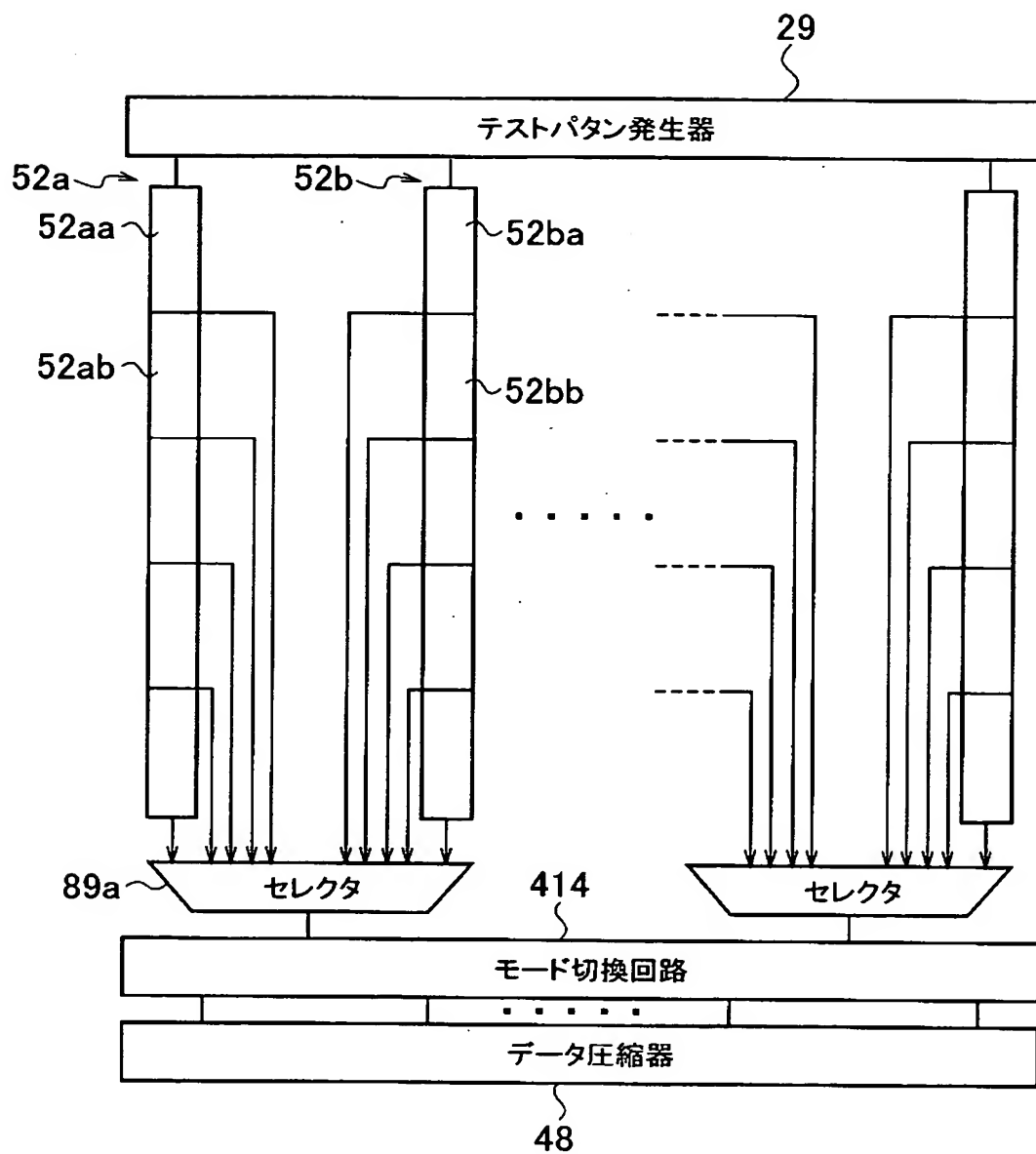
【図 13】



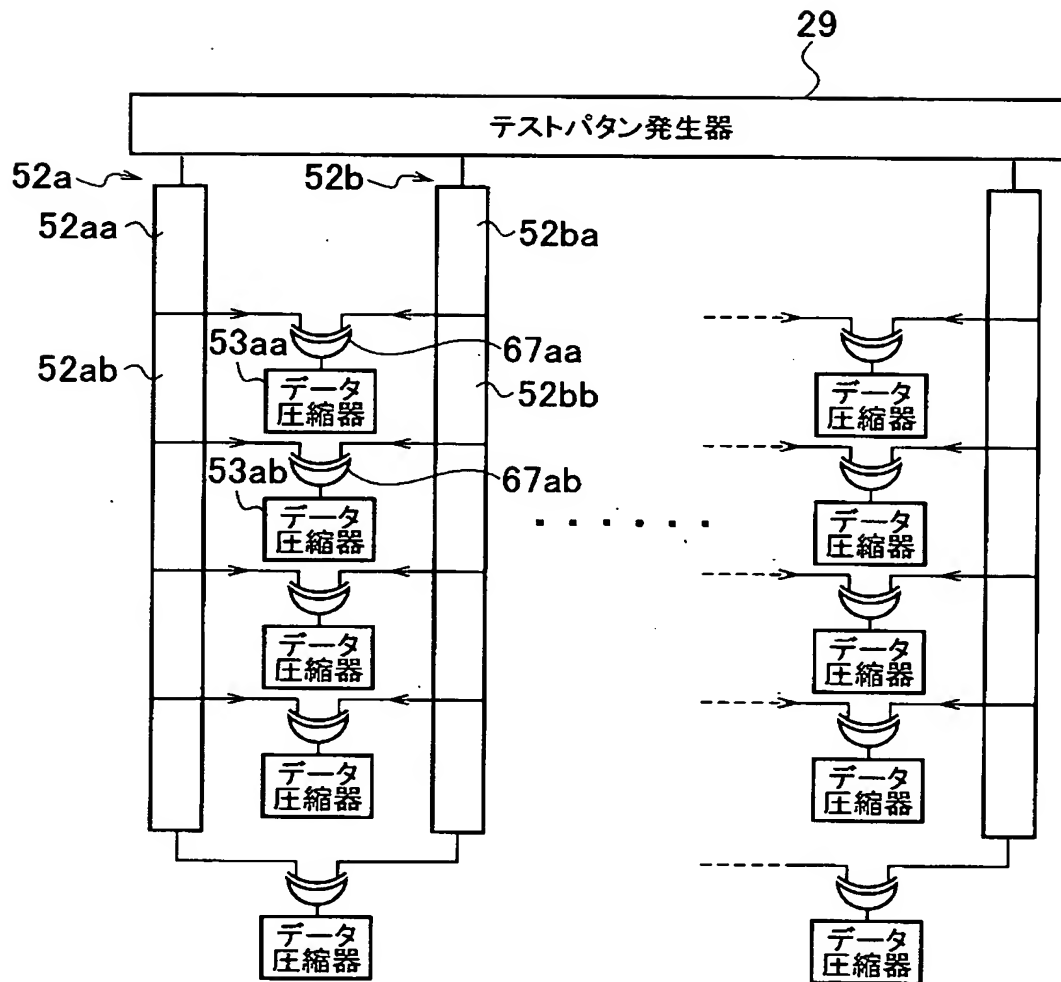
【図 14】



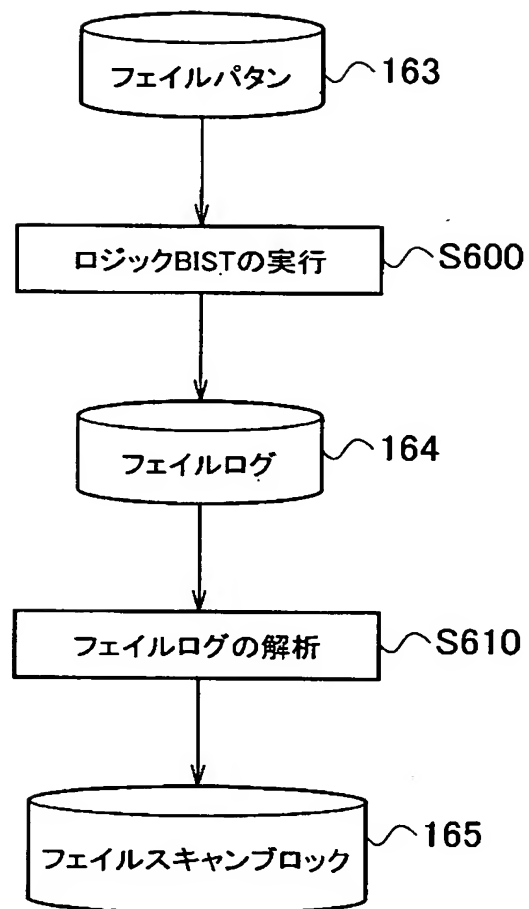
【図 15】



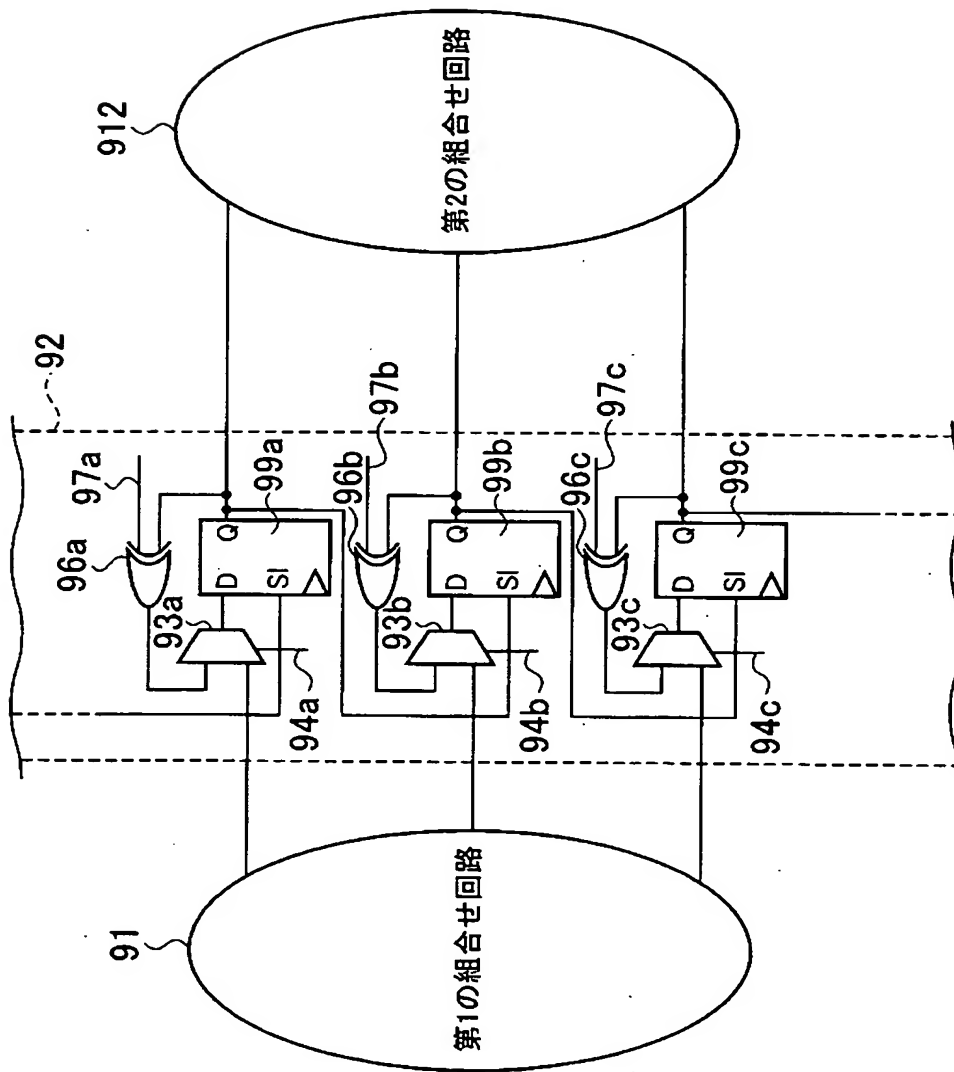
【図 16】



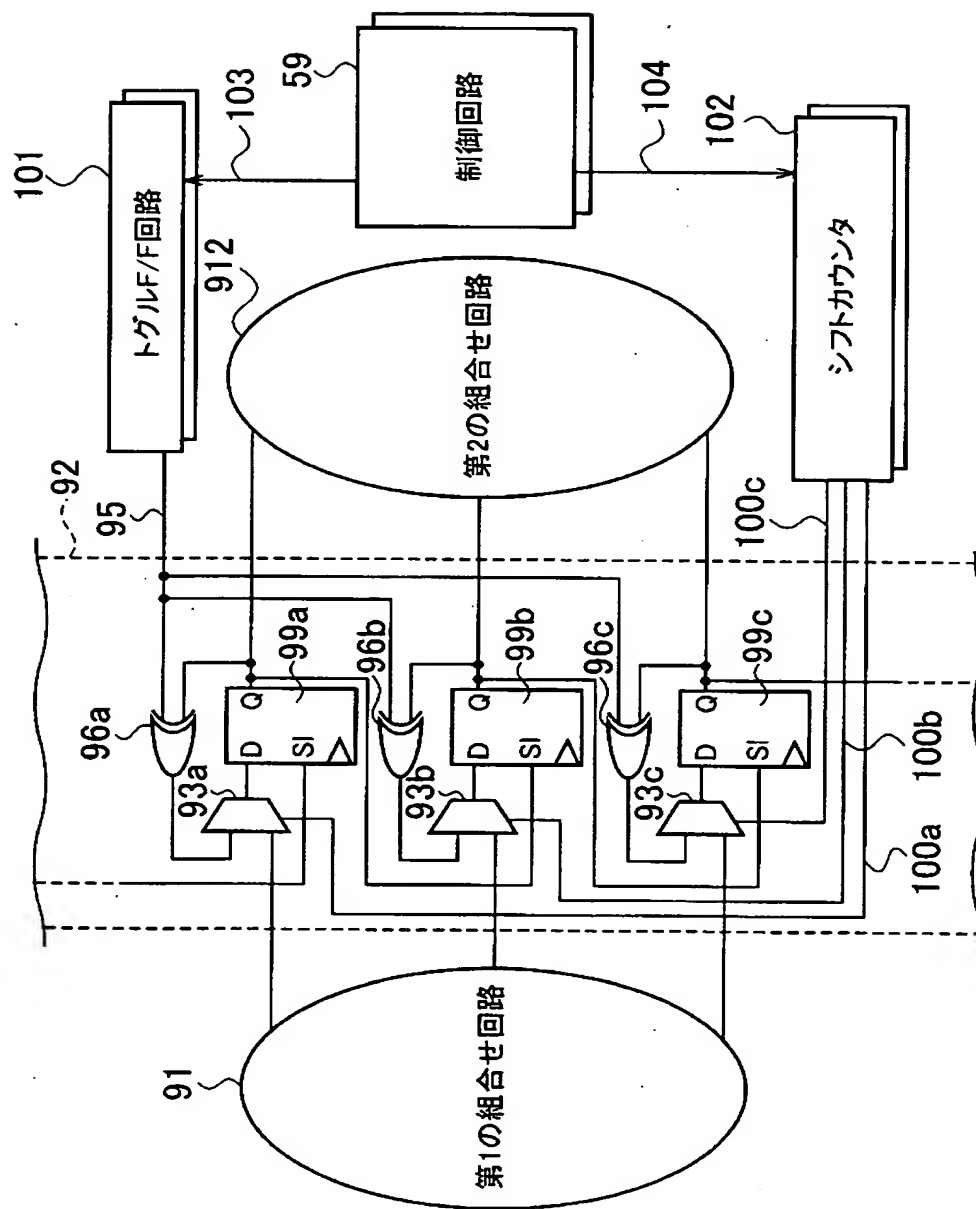
【図 17】



【図 18】

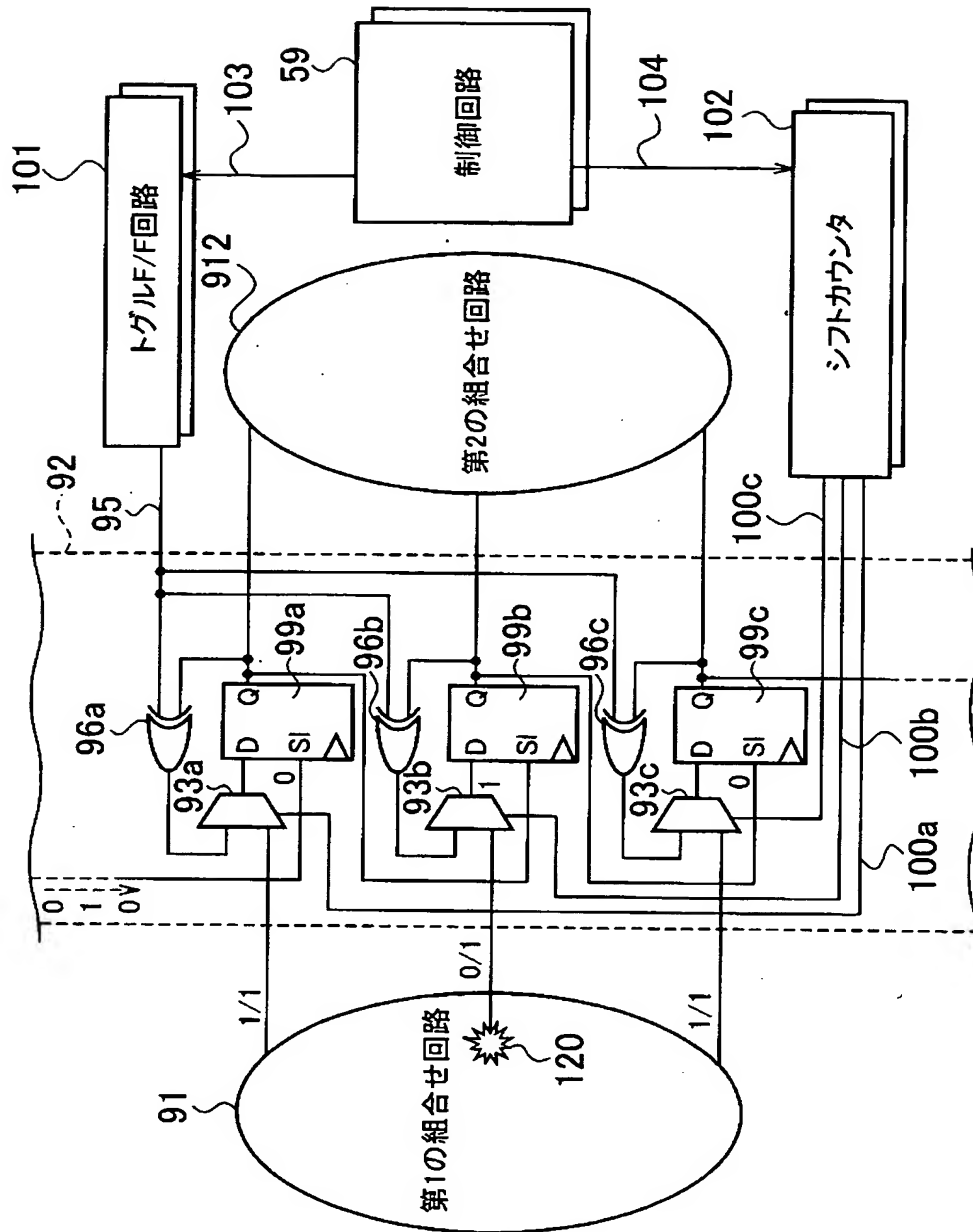


【図 19】

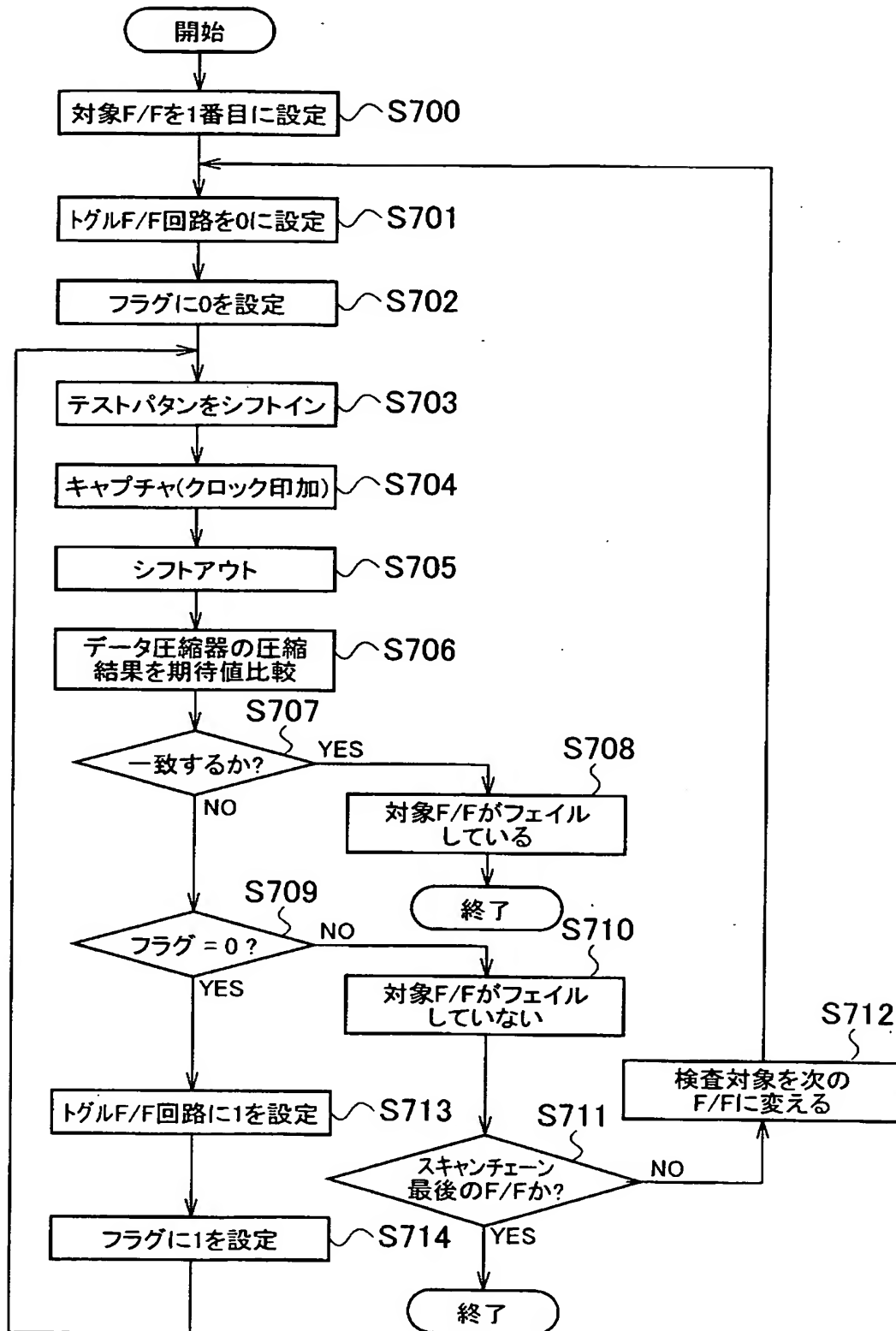




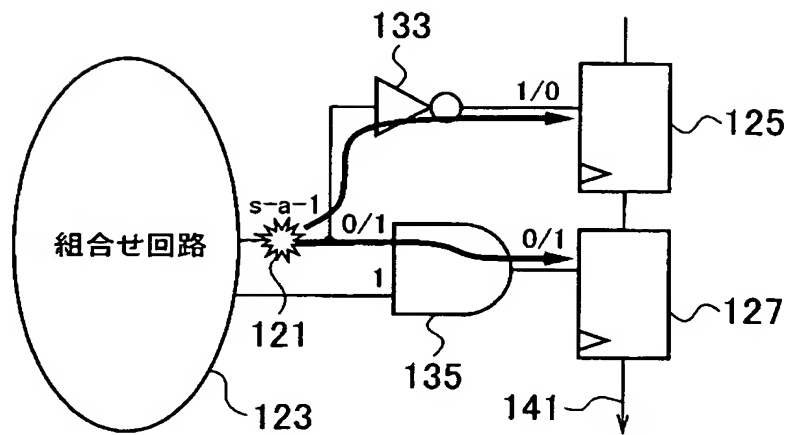
【図 20】



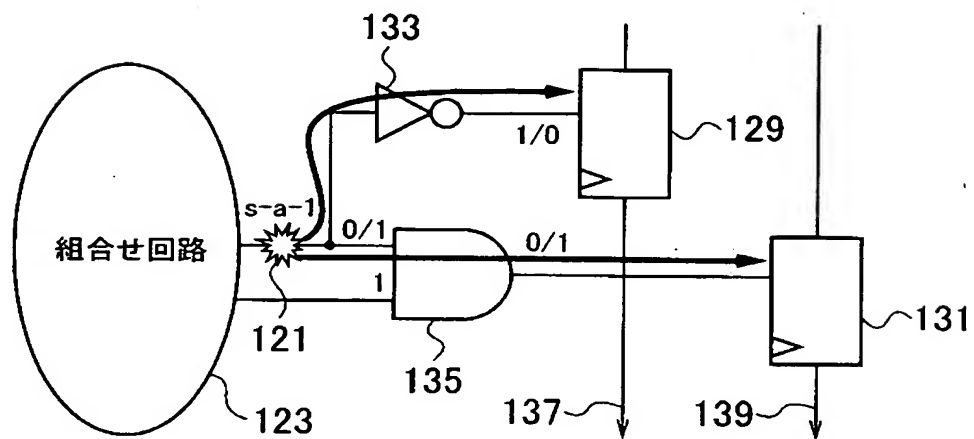
【図 21】



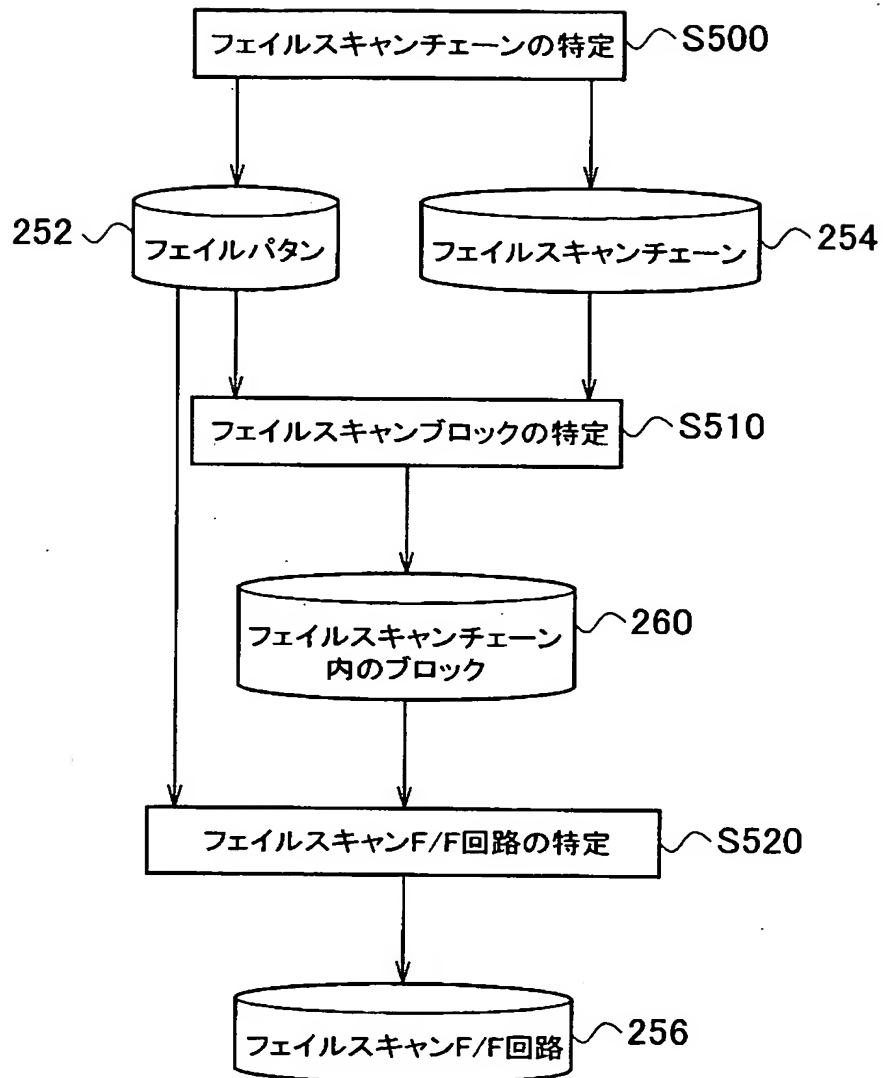
【図 22】



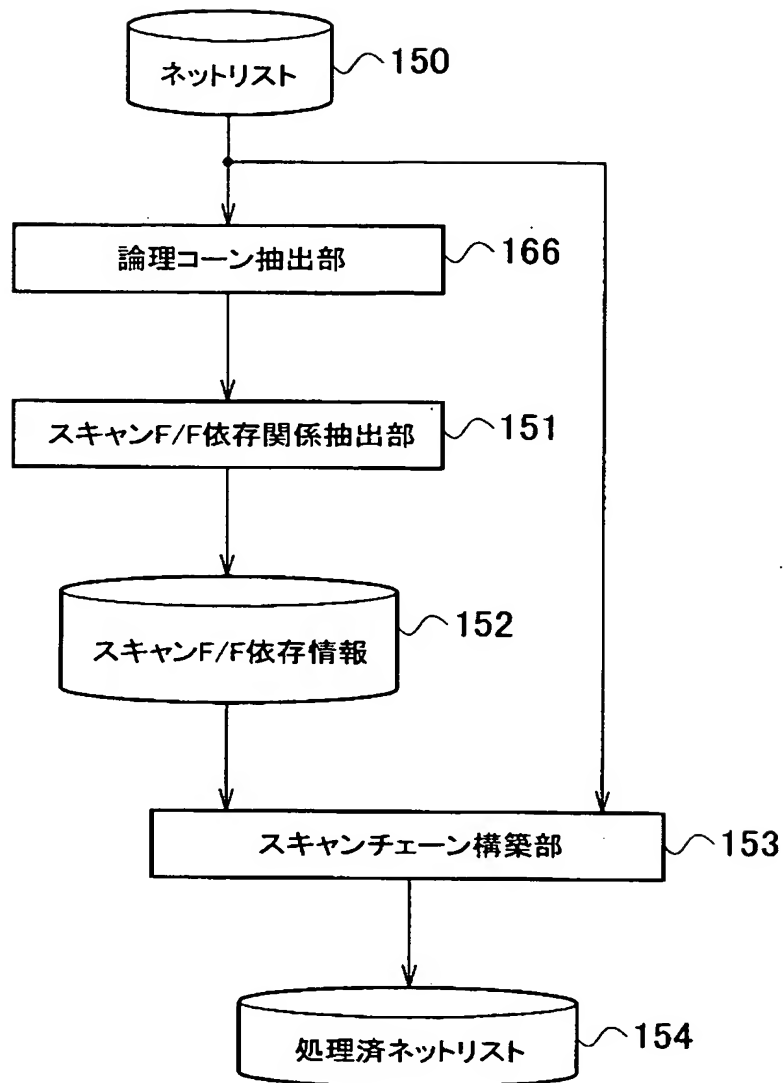
【図 23】



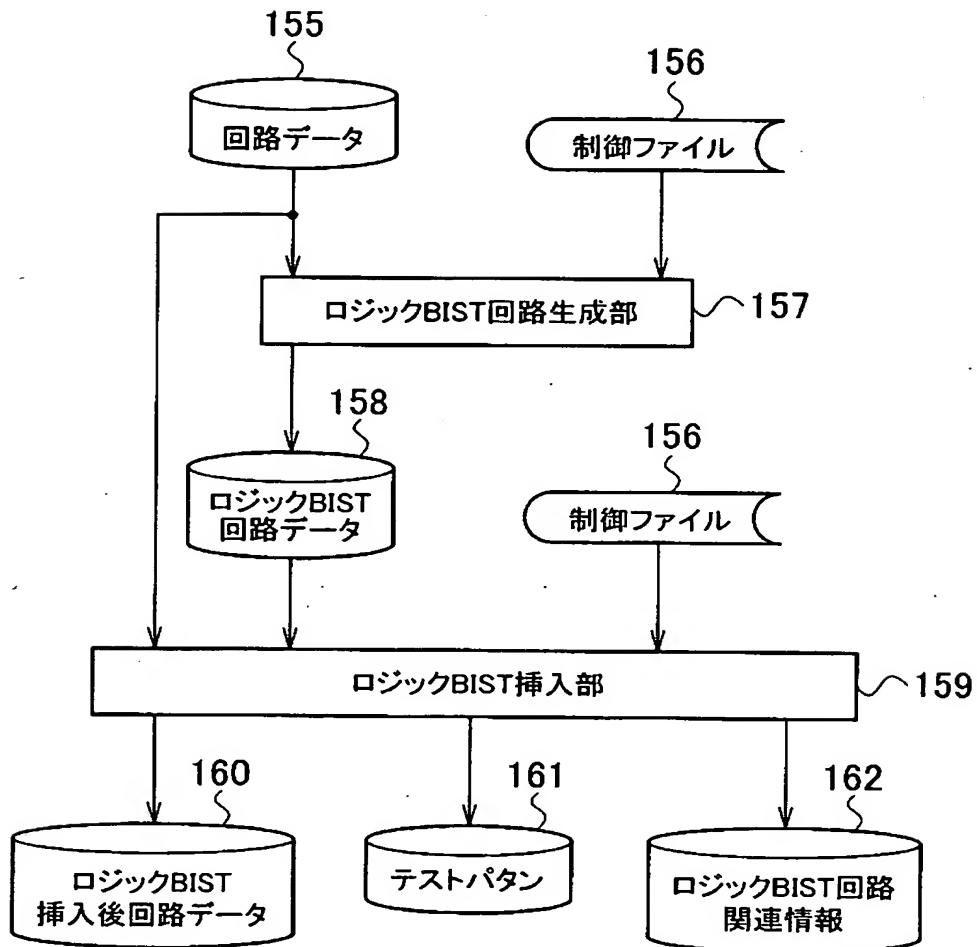
【図 24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 故障箇所を容易に特定することができる半導体集積回路を提供する。

【解決手段】 論理回路内の記憶素子により構成された複数のシフトレジスタと、シフトレジスタの入力段に接続されたテストパターン発生器と、シフトレジスタの出力段に接続された、シフトレジスタを個別に選択するテスト結果圧縮部とを有する。

【選択図】 図 1

特願 2003-085923

出願人履歴情報

識別番号

[000003078]

1. 変更年月日            2001年   7月   2日  
   [変更理由]            住所変更  
                            東京都港区芝浦一丁目1番1号  
                            株式会社東芝
  
2. 変更年月日            2003年   5月   9日  
   [変更理由]            名称変更  
                            住所変更  
                            東京都港区芝浦一丁目1番1号  
                            株式会社東芝